

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiaki SAITO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MAGNETIC MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**: Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
Japan

APPLICATION NUMBER
2002-286463

MONTH/DAY/YEAR
September 30, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-286463

[ST.10/C]:

[JP 2002-286463]

出 願 人

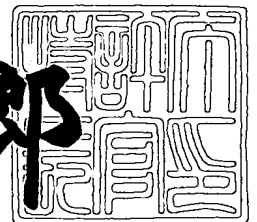
Applicant(s):

株式会社東芝

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028141

【書類名】 特許願

【整理番号】 13792701

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 5/02

【発明の名称】 磁気メモリ

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
研究開発センター内

 【氏名】 斉 藤 好 昭

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
研究開発センター内

 【氏名】 上 田 知 正

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
研究開発センター内

 【氏名】 岸 達 也

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
研究開発センター内

 【氏名】 天 野 実

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気メモリ

【特許請求の範囲】

【請求項1】

第1の配線と、この第1の配線に交差する第2の配線と、前記第1および第2の配線の交差領域に設けられ前記第1および第2の配線に電流を流すことにより生じる電流磁界に応じて磁化の向きが変わる記憶層を有する磁気抵抗効果素子と、前記第1および第2の配線のうちの少なくとも一方の配線と磁氣的に結合される、非磁性層を介して積層された少なくとも2層の軟磁性層を有するヨークと、を備えたことを特徴とする磁気メモリ。

【請求項2】

前記ヨークは、前記少なくとも一方の配線に被覆されていることを特徴とする請求項1記載の磁気メモリ。

【請求項3】

前記ヨークは、前記少なくとも一方の配線と接するバリアメタルを備えていることを特徴とする請求項2記載の磁気メモリ。

【請求項4】

前記ヨークは、前記磁気抵抗効果素子の側面を取り囲むように設けられていることを特徴とする請求項1記載の磁気メモリ。

【請求項5】

前記ヨークを構成する前記非磁性層は、前記ヨークの端部と前記磁気抵抗効果素子の端部との最短距離よりも薄い膜厚を備えていることを特徴とする請求項1乃至4のいずれかに記載の磁気メモリ。

【請求項6】

前記バリアメタルは、Ta、Ti、Si、Ge、Al、W、Mo、Vから選ばれる少なくとも1種の元素からなるか、またはこれらの合金、またはこれらの酸化物または窒化物であることを特徴とする請求項3記載の磁気メモリ。

【請求項7】

前記軟磁性層は、Ni-Fe合金、Co-Fe-Ni合金、アモルファス磁性層、または微

結晶強磁性層のいずれかであって、前記アモルファス磁性層または微結晶強磁性層は、以下の元素記号で表される、

Co-Fe-AA、Co-Fe-AA-AA2、Fe-AA-AA2、Co-AA-AA2、Co-Mn-AA-AA2、Fe-Cu-AA-AA2、Co-Fe-Ni-AAであり、ここでAA、AA2は

B、Si、Ge、Zr、Nb、P、Mo、Ta、N、C、Ti、Al、W、V、または希土類から選ばれる少なくとも1種の元素からなることを特徴とする請求項1乃至6のいずれかに記載の磁気メモリ。

【請求項8】

前記非磁性層は

Al、Ga、In、Si、Ge、Ti、Zr、Hf、V、Nb、Ta、Cr、Mo、W、Cu、Zn、Ag、Au、Ru、Re、Osから選ばれる少なくとも1つの元素からなるか、またはこれらの合金、これらの酸化物あるいは窒化物であることを特徴とする請求項1乃至7のいずれかに記載の磁気メモリ。

【請求項9】

前記ヨークを構成する前記軟磁性層間の相互作用が、 $-20000\text{ Oe} \sim 5000\text{ Oe}$ であることを特徴とする請求項1乃至8のいずれかに記載の磁気メモリ。

【請求項10】

前記磁気抵抗効果素子は、強磁性トンネル接合素子であることを特徴とする請求項1乃至9のいずれかに記載の磁気メモリ。

【請求項11】

前記磁気抵抗効果素子の記憶層に記憶された記録情報を読み出す選択トランジスタを備えていることを特徴とする請求項1乃至10のいずれかに記載の磁気メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気メモリに関する。

【0002】

【従来の技術】

磁性体膜を用いた磁気抵抗効果素子は、磁気ヘッド、磁気センサーなどに用いられているとともに、固体磁気メモリに用いることが提案されている。特に、高速読み書き、大容量、低消費電力動作が可能な次世代の固体不揮発メモリとして、強磁性体の磁気抵抗効果を利用した磁気ランダムアクセスメモリ（以下、MRAM (Magnetic Random Access Memory) とも云う）への関心が高まっている。

【0003】

近年、2つの強磁性金属層の間に1層の誘電体を挿入したサンドイッチ構造を有し、膜面に対して垂直に電流を流し、トンネル電流を利用した磁気抵抗効果素子として、いわゆる「強磁性トンネル接合素子 (Tunneling Magneto-Resistance effect: TMR 素子)」が提案されている。強磁性トンネル接合素子においては、20%以上の磁気抵抗変化率が得られるようになったことから（例えば、非特許文献1参照）、MRAMへの民生化応用の可能性が高まってきた。

【0004】

この強磁性トンネル接合素子は、強磁性層上に0.6nm～2.0nm厚の薄いAl（アルミニウム）層を成膜した後、その表面を酸素グロー放電または酸素ガスに曝すことによって、 Al_2O_3 からなるトンネルバリア層を形成することにより、実現できる。

【0005】

また、この強磁性1重トンネル接合素子を構成する一方の強磁性層に反強磁性層を付与し、他方の強磁性層を磁化固定層とした構造を有する強磁性1重トンネル接合が提案されている（例えば、特許文献1参照）。

【0006】

また、誘電体中に分散した磁性粒子を介した強磁性トンネル接合素子や、強磁性2重トンネル接合素子も提案されている（例えば、非特許文献2、非特許文献3、非特許文献4、非特許文献5参照）。

【0007】

これらの強磁性トンネル接合素子においても、20%～50%の磁気抵抗変化率が得られるようになったこと、及び所望の出力電圧値を得るため強磁性トンネル接合素子に印加する電圧値を増やしても磁気抵抗変化率の減少が抑えられるこ

とから、MRAMへの応用の可能性がある。

【0008】

MRAMにTMR素子を用いる場合、トンネルバリア層を挟む二つの強磁性層のうち、一方が磁化の向きが変化しないように固定した磁化固着層を磁化基準層とし、もう一方が磁化の向きが反転し易いようにした磁化自由層を記憶層とする。基準層と記憶層の磁化の向きが平行な状態と反平行な状態を2進情報の“0”と“1”に対応付けることで情報を記憶することができる。

【0009】

記録情報の書き込みは、TMR素子近傍に設けられた書き込み配線に電流を流して発生する誘導磁場により記憶層の磁化の向きを反転させることにより行う。また、記録情報の読み出しは、TMR効果による抵抗変化分を検出することにより行う。

【0010】

基準層の磁化の向きを固定するためには、強磁性層に接するように反強磁性層を設けて交換結合力により磁化反転を起こりにくくするという方法が用いられ、このような構造はスピンバルブ型構造と呼ばれている。この構造において基準層の磁化の向きは磁場を印加しながら熱処理すること（磁化固着アニール）により決定される。一方、記憶層は、磁気異方性を与えることにより磁化容易方向と基準層の磁化の向きとがほぼ同じになるように形成されている。

【0011】

これら強磁性1重トンネル接合あるいは強磁性2重トンネル接合を用いた磁気記録素子は、不揮発性であって書き込み読み出し時間も10ナノ秒以下と速く、かつ書き換え回数も 10^{15} 以上というポテンシャルを有する。特に、強磁性2重トンネル接合素子を用いた磁気記録素子は、上述したように、所望の出力電圧値を得るため強磁性トンネル接合素子に印加する電圧値を増やしても磁気抵抗変化率の減少が抑えられるため、大きな出力電圧が得られ、磁気記録素子として好ましい特性を示す。

【0012】

しかし、メモリのセルサイズに関しては、セルが1個のトランジスタと1個の

TMR素子から構成されるアーキテクチャ（例えば、特許文献2参照）を用いた場合、半導体のDRAM（Dynamic Random Access Memory）以下にサイズを小さくできないという問題がある。

【0013】

この問題を解決するために、ビット線とワード線との間にTMR素子とダイオードを直列接続したダイオード型アーキテクチャ（例えば、特許文献3参照）や、ビット線とワード線の間にTMRセルを配置した単純マトリックス型アーキテクチャ（例えば、特許文献4、特許文献5参照）が提案されている。

【0014】

しかし、いずれの場合も記憶層への書きこみ時には電流パルスによる電流磁場で反転を行っているため、消費電力が大きく、大容量化したとき配線の許容電流密度に限界があり大容量化できない。また、電流を流す絶対値が1mA以下でないと電流を流すためのドライバの面積が大きくなり、他の不揮発固体磁気メモリ、例えば、強誘電体キャパシタを用いた強誘電体メモリ（Ferroelectric Random Access Memory）やフラッシュメモリなどと比較した場合チップサイズが大きくなって競争力が無くなってしまうなどの問題点がある。

【0015】

上記の問題に対し、書き込み配線の周りに高透磁率の磁性材料からなる薄膜を設けた磁気記憶装置が提案されている（例えば、特許文献6、特許文献7、特許文献8、および特許文献9参照）。これらの磁気記憶装置によれば、配線の周囲に高透磁率の磁性膜が設けられているため、磁気記録層への情報書込に必要な電流値を効率的に低減できる。

【0016】

【非特許文献1】

J. Appl. Phys. 79, 4724 (1996)

【特許文献1】

特開平10-4227号公報

【非特許文献2】

Phys.Rev.B56(10), R5747 (1997)

【非特許文献 3】

応用磁気学会誌23,4-2, (1999)

【非特許文献 4】

Appl. Phys. Lett. 73(19), 2829 (1998)

【非特許文献 5】

Jpn. J. Appl. Phys.39,L1035(2001)

【特許文献 2】

米国特許第 5, 7 3 4, 6 0 5 号明細書

【特許文献 3】

米国特許第 5, 6 4 0, 3 4 3 号明細書

【特許文献 4】

独国特許出願公開第 1 9 7 4 4 0 9 5 号明細書

【特許文献 5】

国際公開第 9 9 / 1 4 7 6 0 号パンフレット

【特許文献 6】

米国特許第 5, 6 5 9, 4 9 9 号明細書

【特許文献 7】

米国特許第 5, 9 5 6, 2 6 7 号明細書

【特許文献 8】

国際公開第 0 0 / 1 0 1 7 2 号パンフレット

【特許文献 9】

米国特許第 5, 9 4 0, 3 1 9 号明細書

【0 0 1 7】

【発明が解決しようとする課題】

しかしながら、米国特許第 5, 6 5 9, 4 9 9 号明細書に開示されている磁気記憶装置では、磁気抵抗効果膜の記録層へかかる磁場は不均一であり、また、米国特許第 5, 9 5 6, 2 6 7 号明細書と米国特許第 5, 9 4 0, 3 1 9 号明細書に開示されている磁気記憶装置では、デュアルスピバルブ型 2 重トンネル接合のように、積層した磁性層の中心部に磁化自由層（フリー層）が埋もれているよ

うな構造では、磁化自由層に効率的に磁場をかけることは困難である。一方、国際公開第00/10172号パンフレットに開示されている磁気記憶装置では、磁化自由層に大きな磁場が印加できる構造となっているが、その製造は極めて困難となる。

【0018】

また、上記米国特許第5,659,499号明細書、米国特許第5,956,267号明細書、米国特許第5,940,319号明細書、または国際公開第00/10172号パンフレットに開示されているヨーク配線構造において、電流磁界の効率を上げるため、もしくはデザインルールを小さくするために、TMR素子とヨーク配線端部間の距離を近づけた場合を考える。この場合、図19(a)、(b)に示すように、配線6を被覆する磁性膜7に生じるドメイン構造に伴い、配線長手方向に磁気異方性を示す磁化10を付与したとしても、ドメイン端部から生じる漏れ磁界12の影響でTMR素子2への有効磁界が発生し、TMR素子2のスイッチング磁界の値および、TMR素子2のオフセット磁界の値（ヨーク磁性膜7の端部からの磁界の影響が無い場合、オフセット磁界は通常略ゼロに設定されているが、）がバラツいてしまう。このため、クロストークなどの問題が生じ、固体磁気メモリが正常に動作しないという問題があることが分かった。なお、図19(a)は、従来の単純マトリクス型磁気メモリの構成を示す正面図であり、図19(b)は図19(a)に示す切断線A-Aで切断したときの断面図である。図19(b)においては、配線24は省略してある。図19(a)、(b)において、配線6はプラグ4を介してTMR素子2に電氣的に接続され、また配線6と交差するように設けられた配線24はTMR素子2に直接電氣的に接続されている。また、配線24も配線6と同様に磁性膜23によって覆われている。

【0019】

本発明は、上記事情を考慮してなされたものであって、消費電力が少なくかつTMR素子のスイッチング磁界およびオフセット磁界の値のバラツキを抑制することのできる磁気メモリを提供することを目的とする。

【0020】

【課題を解決するための手段】

本発明の一態様による磁気メモリは、第1の配線と、この第1の配線に交差する第2の配線と、前記第1および第2の配線の交差領域に設けられ前記第1および第2の配線に電流を流すことにより生じる電流磁界に応じて磁化の向きが変わる記憶層を有する磁気抵抗効果素子と、前記第1および第2の配線のうちの少なくとも一方の配線と磁氣的に結合される、非磁性層を介して積層された少なくとも2層の軟磁性層を有するヨークと、を備えたことを特徴とする。

【0021】

なお、前記ヨークは、前記少なくとも一方の配線に被覆されていても良い。

【0022】

なお、前記ヨークは、前記少なくとも一方の配線と接するバリアメタルを備えていることが好ましい。

【0023】

なお、前記ヨークは、前記磁気抵抗効果素子の側面を取り囲むように設けられていても良い。

【0024】

なお、前記ヨークを構成する前記非磁性層は、前記ヨークの端部と前記磁気抵抗効果素子の端部との最短距離よりも薄い膜厚を備えていることが好ましい。

【0025】

なお、前記バリアメタルは、Ta、Ti、Si、Ge、Al、W、Mo、Vから選ばれる少なくとも1種の元素からなるか、またはこれらの合金、またはこれらの酸化物または窒化物であることが好ましい。

【0026】

なお、前記軟磁性層は、Ni-Fe合金、Co-Fe-Ni合金、アモルファス磁性層、または微結晶強磁性層のいずれかであって、前記アモルファス磁性層または微結晶強磁性層は、以下の元素記号で表される、

Co-Fe-AA、Co-Fe-AA-AA2、Fe-AA-AA2、Co-AA-AA2、Co-Mn-AA-AA2、Fe-Cu-AA-AA2、Co-Fe-Ni-AAであり、ここでAA、AA2は

B、Si、Ge、Zr、Nb、P、Mo、Ta、N、C、Ti、Al、W、V、または希土類から選ばれ

る少なくとも1種の元素からなることが好ましい。

【0027】

また、前記非磁性層は

Al、Ga、In、Si、Ge、Ti、Zr、Hf、V、Nb、Ta、Cr、Mo、W、Cu、Zn、Ag、Au、Ru、Re、Osから選ばれる少なくとも1つの元素からなるか、またはこれらの合金、これらの酸化物あるいは窒化物であることが好ましい。

【0028】

なお、前記ヨークを構成する前記軟磁性層間の相互作用が、 $-20000\text{e} \sim 5000\text{e}$ であることが好ましい。

【0029】

なお、前記磁気抵抗効果素子は、強磁性トンネル接合素子であっても良い。

【0030】

なお、前記磁気抵抗効果素子の記憶層に記憶された記録情報を読み出す選択トランジスタを備えていても良い。

【0031】

【発明の実施の形態】

本発明の実施形態を、図面を参照して説明する。

【0032】

（第1実施形態）

本発明の第1実施形態による磁気メモリの構成を図1（a）、（b）に示す。図1（a）は本実施形態による磁気メモリの構成を示す図であり、図1（b）は図1（a）に示す切断線A-Aで切断したときの断面図である。この実施形態の磁気メモリは、単純マトリクス型であって、配線6とこの配線6と交差する配線24との交差点毎に磁気抵抗効果素子2が記憶素子として設けられている。そして、磁気抵抗効果素子2は配線6と接続プラグを介して電氣的に接続され、配線24とは直接に電氣的に接続されている。また、配線6には、非磁性層8bを介して積層された軟磁性層8a、8cを備えたヨーク8が被覆され、配線24には、非磁性層22bを介して積層された軟磁性層22a、22cを備えたヨーク22が被覆されている。なお、磁気抵抗効果素子2とヨーク8、22の間に絶縁膜

(図示せず)が介在している。また同様に、接続プラグ4とヨーク8の間には上記絶縁膜が介在している。

【0033】

このように構成された本実施形態において、情報の読み出しは磁気抵抗効果素子2に電流を流し、磁気抵抗効果素子2の抵抗の大小で“1”か“0”を判断する。磁気抵抗効果素子2に対する情報の書き込みは、配線6と配線24に電流を流すことにより生じる電流磁場を合成した磁場により行う。この合成した磁場により磁気抵抗効果素子2の記憶層の磁化を反転させることができる。

【0034】

本実施形態においては、配線6、24を被覆するヨーク8、22は、非磁性層を介して軟磁性層が2重に積層された2重ヨーク構造となっているので、軟磁性層間にネール-ネール結合という磁気結合が生じる。非磁性層の膜厚が薄いときは更にインターレイヤーカップリング(interlayer coupling)という磁気結合を生じる。これらの磁気結合に伴い、電流磁界の効率を上げるためまたはデザインルールを小さくするために、磁気抵抗効果素子2とヨーク8、22端部間の距離を短くした場合に、配線長手方向に磁気異方性を示す磁化10をヨーク8、22に付与しても、図1(b)に示すように、ドメイン端部から生じる漏れ磁界12は外に漏れず、磁気抵抗効果素子2に作用を及ぼさない。このため、磁気抵抗効果素子2のスイッチング磁界およびオフセット磁界のバラツキを低減することができる。これにより、クロストークが発生するのを抑制することができる。また、ヨーク8、22が配線6、24に被覆されているため、消費電力を少なくすることができる。

【0035】

なお、本実施形態においては、配線6および配線24の両方に、非磁性層を介して軟磁性層が2重に積層されたヨークを被覆したが、配線6または配線24の一方のみに非磁性層を介して軟磁性層が2重に積層されたヨークを被覆し、他方の配線は従来の場合のように、軟磁性層が単層のヨークを被覆した構成であっても同様の効果を奏することができる。

【0036】

また、本実施形態においては、ヨーク8、22は、非磁性層を介して軟磁性層が2重に積層された構成であったが、軟磁性層が非磁性層を介して2重以上に積層された多重ヨーク構造であっても同様の効果を奏することができる。

【0037】

(第2実施形態)

次に、本発明の第2実施形態による磁気メモリを、図2(a)、(b)、(c)を参照して説明する。図2(a)は、記憶素子として磁気抵抗効果素子2を用い、セル選択素子としてMOSトランジスタ40を用いた場合の本実施形態による磁気メモリの単位セルを示す断面図である。図2(b)は、図2(a)に示す切断線A-Aで切断した場合の断面図、図2(c)は、図2(a)に示す切断線B-Bで切断した場合の断面図である。なお、図2(b)においては、後述する配線24およびヨーク16は省略してある。

【0038】

この実施形態においては、磁気抵抗効果素子2の一端が配線(ビット線)6に、他端が引き出し電極30、接続プラグ31、32、33を介して選択トランジスタ40のソース・ドレイン41の一方に接続され、配線(ワード線)24が磁気抵抗効果素子2の下方に設けられている。なお、配線24と引き出し電極30との間には絶縁膜(図示せず)が介在している。

【0039】

そして、配線6および配線24は軟磁性層が単層構造のヨーク7およびヨーク23がそれぞれ被覆された構成となっている。なお、接続プラグ32は配線24と同時に形成されるため、接続プラグ32も軟磁性層が被覆されている。

【0040】

しかし、本実施形態においては、図2(a)、(c)に示すように、磁気抵抗効果素子2とはほぼ同一面上に、軟磁性層16a、非磁性層16b、軟磁性層16cが積層された構造のヨーク16が磁気抵抗効果素子2を取りまくように4個設けられている。

【0041】

このように構成された本実施形態において、情報の読み出しは選択トランジス

タ 4 0 のゲート 4 3 に電位を印加して選択トランジスタ 4 0 をオンさせ、この選択トランジスタ 4 0 により選択された磁気抵抗効果素子 2 に電流を流し、磁気抵抗効果素子 2 の抵抗の大小で “1” か “0” を判断する。磁気抵抗効果素子 2 に対する情報の書き込みは、配線 6 と配線 2 4 に電流を流すことにより生じる電流磁場を合成した磁場により行う。この合成した磁場により磁気抵抗効果素子 2 の記憶層の磁化を反転させることができる。

【0042】

本実施形態においては、磁気抵抗効果素子 2 とほぼ同一面上に、軟磁性層 1 6 a、非磁性層 1 6 b、軟磁性層 1 6 c が積層された 2 重ヨーク構造のヨーク 1 6 が磁気抵抗効果素子 2 を取りまくように設けられているため、配線長手方向に磁気異方性を示す磁化をヨーク 7, 2 3 に付与しても、ドメイン端部から生じる漏れ磁界はヨーク 1 6 に吸収され、磁気抵抗効果素子 2 に作用を及ぼさない。このため、磁気抵抗効果素子 2 のスイッチング磁界およびオフセット磁界のバラツキを低減することができる。これにより、クロストークが発生するのを抑制することができる。また、ヨーク 7, 2 3 が配線 6, 2 4 に被覆されているため、消費電力を少なくすることができる。

【0043】

なお、本実施形態においては、磁気抵抗効果素子 2 の端部とヨーク 1 6 の端部との間の間隔が 0. 1 μ m より大きいことが好ましい。そしてヨーク 1 6 を構成する非磁性層 1 6 b の膜厚は、磁気抵抗効果素子 2 の端部とヨーク 1 6 の端部との距離よりも薄いことが好ましい。

【0044】

また、本実施形態においては、ヨーク 1 6 は、非磁性層を介して軟磁性層が 2 重に積層された 2 重ヨーク構造であったが、軟磁性層が非磁性層を介して 2 重以上に積層された多重ヨーク構造であっても良い。

【0045】

(第 3 実施形態)

次に、本発明の第 3 実施形態による磁気メモリを、図 3 (a)、(b) を参照して説明する。図 3 (a) は、記憶素子として磁気抵抗効果素子 2 を用い、セル

選択素子としてMOSトランジスタ40を用いた場合の本実施形態による磁気メモリの単位セルを示す断面図である。図3(b)は、図3(a)に示す切断線A-Aで切断した場合の断面図である。なお、図3(b)においては、後述する配線24およびヨーク22は省略してある。

【0046】

この実施形態においては、磁気抵抗効果素子2の一端が接続プラグ4を介して配線(ビット線)6に、他端が引き出し電極30、接続プラグ31、32、33を介して選択トランジスタ40のソース・ドレイン41の一方に接続され、配線(ワード線)24が磁気抵抗効果素子2の下方に設けられている。なお、配線24と引き出し電極30との間には絶縁膜(図示せず)が介在している。

【0047】

そして、第1実施形態の場合と同様に、配線6には、非磁性層8bを介して積層された軟磁性層8a、8cを備えたヨーク8が被覆され、配線24には、非磁性層22bを介して積層された軟磁性層22a、22cを備えたヨーク22が被覆されている。

【0048】

なお、接続プラグ32は配線24と同時に形成されるため、接続プラグ32も非磁性層22bを介して積層された軟磁性層22a、22cを備えたヨーク22が被覆されている。しかし、接続プラグ32を被覆しているヨーク22を除去して接続プラグ構造を構成することも可能である。

【0049】

このように構成された本実施形態において、情報の読み出しは選択トランジスタ40のゲート43に電位を印加して選択トランジスタ40をオンさせ、この選択トランジスタ40により選択された磁気抵抗効果素子2に電流を流し、磁気抵抗効果素子2の抵抗の大小で“1”か“0”を判断する。磁気抵抗効果素子2に対する情報の書き込みは、配線6と配線24に電流を流すことにより生じる電流磁場を合成した磁場により行う。この合成した磁場により磁気抵抗効果素子2の記憶層の磁化を反転させることができる。

【0050】

本実施形態においては、配線 6，24 を被覆するヨーク 8，22 は、非磁性層を介して軟磁性層が 2 重に積層された 2 重ヨーク構造となっているので、軟磁性層間に磁気結合が生じる。これにより、電流磁界の効率を上げるためまたはデザインルールを小さくするために、磁気抵抗効果素子 2 とヨーク 8，22 端部間の距離を短くした場合に、配線長手方向に磁気異方性を示す磁化をヨーク 8，22 に付与しても、ドメイン端部から生じる漏れ磁界は外に漏れず、磁気抵抗効果素子 2 に作用を及ぼさない。このため、磁気抵抗効果素子 2 のスイッチング磁界およびオフセット磁界のバラツキを低減することができる。これにより、クロストークが発生するのを抑制することができる。また、ヨーク 8，22 が配線 6，24 に被覆されているため、消費電力を少なくすることができる。

【0051】

なお、本実施形態においては、配線 6 および配線 24 の両方に、非磁性層を介して軟磁性層が 2 重に積層されたヨークを被覆したが、配線 6 または配線 24 の一方のみに非磁性層を介して軟磁性層が 2 重に積層されたヨークを被覆し、他方の配線は従来の場合のように、軟磁性層が単層のヨークを被覆した構成であっても同様の効果を奏することができる。例えば、配線 6 のみに上記ヨークを被覆した場合は、接続プラグ 32 にはヨークが形成されないため、配線抵抗を低減することが可能となる。

【0052】

また、本実施形態においては、ヨーク 8，22 は、非磁性層を介して軟磁性層が 2 重に積層された 2 重ヨーク構造であったが、軟磁性層が非磁性層を介して 2 重以上に積層された多重ヨーク構造であっても同様の効果を奏することができる。

【0053】

(第 4 実施形態)

次に、本発明の第 4 実施形態による磁気メモリを、図 4 (a)、(b) を参照して説明する。図 4 (a) は、記憶素子として磁気抵抗効果素子 2 を用い、セル選択素子として MOS トランジスタ 40 を用いた場合の本実施形態による磁気メモリの単位セルを示す断面図である。図 4 (b) は、図 4 (a) に示す切断線 A

ーAで切断した場合の断面図である。なお、図4（b）においては、後述する配線24およびヨーク22は省略してある。

【0054】

この実施形態においては、磁気抵抗効果素子2の一端が接続プラグ5、引き出し電極30、接続プラグ31、32、33を介して選択トランジスタ40のソース・ドレイン41の一方に接続され、他端が配線（ワード線）24に接続されている。また配線（ビット線）6が引き出し電極30の上方に設けられている。なお、配線6と引き出し電極30とは絶縁膜（図示せず）によって電氣的に絶縁されている。

【0055】

そして、第1実施形態の場合と同様に、配線6には、非磁性層8bを介して積層された軟磁性層8a、8cを備えたヨーク8が被覆され、配線24には、非磁性層22bを介して積層された軟磁性層22a、22cを備えたヨーク22が被覆されている。なお、接続プラグ32は配線24と同時に形成されるため、接続プラグ32も非磁性層22bを介して積層された軟磁性層22a、22cを備えたヨーク22が被覆されている。しかし、接続プラグ32を被覆しているヨーク22を除去して接続プラグ構造を構成することも可能である。なお、配線6を被覆するヨーク8は端部が磁気抵抗効果素子2に近い位置まで延在している。

【0056】

このように構成された本実施形態において、情報の読み出しは選択トランジスタ40のゲート43に電位を印加して選択トランジスタ40をオンさせ、この選択トランジスタ40により選択された磁気抵抗効果素子2に電流を流し、磁気抵抗効果素子2の抵抗の大小で“1”か“0”を判断する。磁気抵抗効果素子2に対する情報の書き込みは、配線6と配線24に電流を流すことにより生じる電流磁場を合成した磁場により行う。この合成した磁場により磁気抵抗効果素子2の記憶層の磁化を反転させることができる。

【0057】

本実施形態においては、配線6、24を被覆するヨーク8、22は、非磁性層を介して軟磁性層が2重に積層された2重ヨーク構造となっているので、軟磁性

層間に磁気結合が生じる。これにより、電流磁界の効率を上げるためまたはデザインルールを小さくするために、磁気抵抗効果素子2とヨーク8, 22端部間の距離を短くした場合に、配線長手方向に磁気異方性を示す磁化をヨーク8, 22に付与しても、ドメイン端部から生じる漏れ磁界は外に漏れず、磁気抵抗効果素子2に作用を及ぼさない。このため、磁気抵抗効果素子2のスイッチング磁界およびオフセット磁界のバラツキを低減することができる。これにより、クロストークが発生するのを抑制することができる。また、ヨーク8, 22が配線6, 24に被覆されているため、消費電力を少なくすることができる。

【0058】

なお、本実施形態においては、配線6および配線24の両方に、非磁性層を介して軟磁性層が2重に積層されたヨークを被覆したが、配線6または配線24の一方のみに非磁性層を介して軟磁性層が2重に積層されたヨークを被覆し、他方の配線は従来の場合のように、軟磁性層が単層のヨークを被覆した構成であっても同様の効果を奏することができる。例えば、配線6のみに上記ヨークを被覆した場合は、接続プラグ32にはヨークが形成されないので、配線抵抗を低減することが可能となる。

【0059】

また、本実施形態においては、ヨーク8, 22は、非磁性層を介して軟磁性層が2重に積層された2重ヨーク構造であったが、軟磁性層が非磁性層を介して2重以上に積層された多重ヨーク構造であっても同様の効果を奏することができる。

【0060】

以上説明した上記第1乃至第4実施形態においては、多重ヨークに隣接して、バリアメタルが設けられていることが好ましい。バリアメタルとしては、Ta、Ti、Si、Ge、Al、W、Mo、Vのうちの少なくとも1種の元素、またはこれら合金、またはこれらの酸化物または窒化物であることが好ましい。

【0061】

また上記第1乃至第4実施形態においては、多重ヨークを構成する軟磁性層は、Ni-Fe合金、Co-Fe-Ni合金、または後述するアモルファス磁性層

または微結晶強磁性層であることが好ましい。上記アモルファス磁性層または微結晶強磁性層は、以下の元素記号で表される、Co-Fe-AA、Co-Fe-AA-AA2、Fe-AA-AA2、Co-AA-AA2、Co-Mn-AA-AA2、Fe-Cu-AA-AA2、またはCo-Fe-Ni-AAであり、ここでAA、AA2はB、Si、Ge、Zr、Nb、P、Mo、Ta、N、C、Ti、Al、W、V、希土類から選ばれる少なくとも1種の元素からなることが好ましい。

【0062】

また、上記第1乃至第4実施形態においては、多重ヨークを構成する非磁性層は、Al、Ga、In、Si、Ge、Ti、Zr、Hf、V、Nb、Ta、Cr、Mo、W、Cu、Zn、Ag、Au、Ru、Re、Osから選ばれる少なくとも1種の元素からなるか、またはこれらの合金、またはこれらの酸化物または窒化物であることが好ましい。

【0063】

また、上記第1乃至第4実施形態においては、多重ヨークを構成する軟磁性層間の相互作用が、 $-2000\text{Oe} \sim 500\text{Oe}$ であると、磁気抵抗効果素子と多重ヨークを近づけても磁気抵抗効果素子2のスイッチング磁界およびオフセット磁界のバラツキが少なく、デザインルールを小さくしても高周波磁気損失が少ないという利点が生ずる。なお、相互作用がマイナスであるとは磁化が逆方向を向いた状態であり、プラスであるとは磁化が同じ方向を向いた状態であることを意味する。

【0064】

また、本発明の磁気メモリに用いることができる磁気抵抗効果素子は、強磁性一重トンネル接合、または強磁性2重トンネル接合などの強磁性トンネル接合を有するトンネル接合素子（TMR素子）を用いることができる。磁気抵抗効果素子としては、第1の強磁性層と絶縁層と第2の強磁性層とを積層させた上記TMR素子の他に、第1の強磁性層と非磁性層と第2の強磁性層とを積層させた「スピナバルブ構造」の素子などを用いることができる。

【0065】

いずれの場合も、第1の強磁性層を、磁化方向が実質的に固定された「磁化固着層（「ピン層」などと称される場合もある）」として作用させ、第2の強磁性層を、外部からの磁界を印加することにより磁化方向を可変とした「磁気記録層（磁気記録層）」として作用させることができる。

【 0 0 6 6 】

また、後に詳述するように、読み出し方式によっては、第1の強磁性層を、磁化方向を可変とした「磁化自由層」として作用させても良い。

【 0 0 6 7 】

これらの磁気抵抗効果素子において、磁化固着層として用いることができる強磁性体としては、例えば、Fe（鉄）、Co（コバルト）、Ni（ニッケル）またはこれらの合金や、スピン分極率の大きいマグネタイト、 CrO_2 、 R XMnO_{3-y} （ここでRは希土類、XはCa（カルシウム）、Ba（バリウム）、Sr（ストロンチウム）のいずれかを表す）などの酸化物、あるいは、NiMnSb（ニッケル・マンガン・アンチモン）、PtMnSb（白金マンガン・アンチモン）などのホイスラー合金などを用いることができる。

【 0 0 6 8 】

これらの材料からなる磁化固着層は、一方向異方性を有することが望ましい。またその厚さは0.1nmから100nmが好ましい。さらに、この磁化固着層の膜厚は、超常磁性にならない程度の厚さが必要であり、0.4nm以上であることがより望ましい。

【 0 0 6 9 】

また、磁化固着層として用いる強磁性層には、反強磁性膜を付加して磁化を固着することが望ましい。そのような反強磁性膜としては、Fe（鉄）-Mn（マンガン）、Pt（白金）-Mn（マンガン）、Pt（白金）-Cr（クロム）-Mn（マンガン）、Ni（ニッケル）-Mn（マンガン）、Ir（イリジウム）-Mn（マンガン）、NiO（酸化ニッケル）、 Fe_2O_3 （酸化鉄）などを挙げることができる。

【 0 0 7 0 】

また、これら磁性体には、Ag（銀）、Cu（銅）、Au（金）、Al（アル

ミニウム)、Mg (マグネシウム)、Si (シリコン)、Bi (ビスマス)、Ta (タンタル)、B (ボロン)、C (炭素)、O (酸素)、N (窒素)、Pd (パラジウム)、Pt (白金)、Zr (ジルコニウム)、Ir (イリジウム)、W (タングステン)、Mo (モリブデン)、Nb (ニオブ)、B (ボロン) などの非磁性元素を添加して、磁気特性を調節したり、その他、結晶性、機械的特性、化学的特性などの各種物性を調節することができる。

【0071】

また磁化固着層として、強磁性層と非磁性層の積層膜を用いても良い。例えば、強磁性層／非磁性層／強磁性層という3層構造を用いることができる。この場合、非磁性層を介して両側の強磁性層に反強磁性的な層間の相互作用が働いていることが望ましい。

【0072】

より具体的には、磁性層を一方向に固着する方法として、Co (Co-Fe) / Ru (ルテニウム) / Co (Co-Fe)、Co (Co-Fe) / Ir (イリジウム) / Co (Co-Fe)、Co (Co-Fe) / Os (オスニウム) / Co (Co-Fe)、Co (Co-Fe) / Re (レニウム) / Co (Co-Fe) などの3層構造の積層膜を磁化固着層とし、さらに、これに隣接して反強磁性膜を設けることが望ましい。この場合の反強磁性膜としても、前述したものと同様に、Fe-Mn、Pt-Mn、Pt-Cr-Mn、Ni-Mn、Ir-Mn、NiO、Fe₂O₃ などを用いることができる。この構造を用いると、磁化固着層の磁化がビット線やワード線からの電流磁界の影響をより受け難く、しっかりと磁化が固着される。また、磁化固着層からの漏洩磁界 (stray field) を減少 (あるいは調節) でき、磁化固着層を形成する2層の強磁性層の膜厚を変えることにより、磁気記録層 (磁気記録層) の磁化シフトを調整することができる。

【0073】

一方、磁気記録層 (フリー層) の材料としても、磁化固着層と同様に、例えば、Fe (鉄)、Co (コバルト)、Ni (ニッケル) またはこれらの合金や、スピントラップ率の大きいマグネタイト、CrO₂、R XMnO_{3-y} (ここでRは希

土類、XはCa（カルシウム）、Ba（バリウム）、Sr（ストロンチウム）のいずれかを表す）などの酸化物、あるいは、NiMnSb（ニッケル・マンガン・ニオブ）、PtMnSb（白金・マンガン・アンチモン）などのホイスラー合金などを用いることができる。

【0074】

これらの材料からなる磁気記録層としての強磁性層は、膜面に対して略平行な方向の一軸異方性を有することが望ましい。またその厚さは0.1nmから100nmが好ましい。さらに、この強磁性層の膜厚は、超常磁性にならない程度の厚さが必要であり、0.4nm以上であることがより望ましい。

【0075】

また、磁気記録層として、軟磁性層／強磁性層という2層構造、または、強磁性層／軟磁性層／強磁性層という3層構造を用いても良い。磁気記録層として、強磁性層／非磁性層／強磁性層という3層構造、強磁性層／非磁性層／強磁性層2／非磁性層／強磁性層という5層構造を用いて、強磁性層の層間の相互作用の強さを制御することにより、メモリセルである磁気記録層のセル幅がサブミクロン以下になっても、電流磁界の消費電力を増大させずに済むというより好ましい効果が得られる。この際、強磁性層の種類、膜厚を変えてもかまわない。特に、絶縁障壁に近い強磁性層にはMRが大きくなるCo-Fe、Co-Fe-Ni、FeリッチNi-Feを用い絶縁膜と接していない強磁性体にはNiリッチNi-Fe、NiリッチNi-Fe-Coなどを用いるとMRを大きく保ったまま、スイッチング磁界を低減でき、より好ましい。非磁性材料としては、Ag（銀）、Cu（銅）、Au（金）、Al（アルミニウム）、Ru（ルテニウム）、Os（オスニウム）、Re（レニウム）、Si（シリコン）、Bi（ビスマス）、Ta（タンタル）、B（ボロン）、C（炭素）、Pd（パラジウム）、Pt（白金）、Zr（ジルコニウム）、Ir（イリジウム）、W（タングステン）、Mo（モリブデン）、Nb（ニオブ）、またはそれら合金を用いることができる。

【0076】

磁化記録層においても、これら磁性体に、Ag（銀）、Cu（銅）、Au（金）、Al（アルミニウム）、Ru（ルテニウム）、Os（オスニウム）、Re（

レニウム), Mg (マグネシウム), Si (シリコン), Bi (ビスマス), Ta (タンタル), B (ボロン), C (炭素), O (酸素), N (窒素), Pd (パラジウム), Pt (白金), Zr (ジルコニウム), Ir (イリジウム), W (タングステン), Mo (モリブデン), Nb (ニオブ) などの非磁性元素を添加して、磁気特性を調節したり、その他、結晶性、機械的特性、化学的特性などの各種物性を調節することができる。

【0077】

一方、磁気抵抗効果素子としてTMR素子を用いる場合に、磁化固着層と磁化記録層との間に設けられる絶縁層（あるいは誘電体層）としては、 Al_2O_3 （酸化アルミニウム）、 SiO_2 （酸化シリコン）、MgO（酸化マグネシウム）、AlN（窒化アルミニウム）、 Bi_2O_3 （酸化ビスマス）、 MgF_2 （フッ化マグネシウム）、 CaF_2 （フッ化カルシウム）、 $SrTiO_2$ （酸化チタン・ストロンチウム）、 $AlLaO_3$ （酸化ランタン・アルミニウム）、Al-N-O（酸化窒化アルニウム）などの各種の絶縁体（誘電体）を用いることができる。

【0078】

これらの化合物は、化学量論的にみて完全に正確な組成である必要はなく、酸素、窒素、フッ素などの欠損、あるいは過不足が存在していてもよい。また、この絶縁層（誘電体層）の厚さは、トンネル電流が流れる程度に薄い方が望ましく、実際上は、10nm以下であることが望ましい。

【0079】

このような磁気抵抗効果素子は、各種スパッタ法、蒸着法、分子線エピタキシャル法などの通常の薄膜形成手段を用いて、所定の基板上に形成することができる。この場合の基板としては、例えば、Si（シリコン）、 SiO_2 （酸化シリコン）、 Al_2O_3 （酸化アルミニウム）、スピネル、AlN（窒化アルニウム）など各種の基板を用いることができる。

【0080】

このような磁性被覆膜は、メッキ法、CVD法、Layer-by-LayerでCVD法により磁性被覆膜を積層するALD法、各種スパッタ法などの通常の薄膜形成手段

を用いて、所定の基板上に形成することができる。特に、メッキ法、CVD法、ALD法等で成膜した場合は、スパッタ法に比べて膜が均一に付くため好ましい特性を示した。この場合、200℃～400℃の間で後熱処理（post-annealing）を行い、磁性膜中の有機不純物などを取り除くと、より好ましい軟磁性特性を示した。

【0081】

また、基板の上に、下地層や保護層などとして、Ta（タンタル）、Ti（チタン）、Pt（白金）、Pd（パラジウム）、Au（金）、Ti（チタン）/Pt（白金）、Ta（タンタル）/Pt（白金）、Ti（チタン）/Pd（パラジウム）、Ta（タンタル）/Pd（パラジウム）、Cu（銅）、Al（アルミニウム）-Cu（銅）、Ru（ルテニウム）、Ir（イリジウム）、Os（オスミウム）などからなる層を設けてもよい。

【0082】

次に、上記第1乃至第4実施形態で説明した多重ヨークに被覆された配線の効果を説明するために、磁気メモリセルを作成し、比較試験を行った。これを以下に実施例として説明する。

【0083】

（実施例1）

実施例1による磁気メモリセルは、単純マトリクス型の磁気メモリセルであって、下部配線（第1実施形態においては配線24に相当）のみが2重ヨークに被覆された構成となっている。この2重ヨークに被覆された下部配線の製造方法の一具体例を、図5を参照して説明する。図5はこの具体例による下部配線の製造方法の製造工程断面図である。

【0084】

まず、下層にメモリ部分の駆動回路などが作りこまれた基板上（図示せず）に、TEOS（Tetra-Etoxy-Ortho-Silicate）をプラズマ分解し、SiO₂からなる絶縁膜50を堆積する。絶縁膜50をRIEでエッチングし、所定のパターンの溝51を形成する（図5（a）参照）。

次に、図5（b）に示すように、絶縁膜50および溝51の表面に、Ta₂N₅か

らなる膜厚 20 nm のバリアメタル 52、 $\text{Ne}_{80}\text{Fe}_{20}$ をからなる膜厚 30 nm の磁性層 53、Ta からなる膜厚 10 nm の非磁性層 54、 $\text{Ni}_{80}\text{Fe}_{20}$ をからなる膜厚 30 nm の磁性層 55、Ta からなる膜厚 20 nm のバリアメタル 56 を、スパッタ法を用いて順次堆積する。

【0085】

その後、図 5 (c) に示すように、例えばスパッタ法または電解めっき法を用いて、溝 51 を例えば Cu からなる配線材料膜 60 で埋め込む。

【0086】

次に、例えば CMP (Chemical Mechanical Polishing) 法を用いて、絶縁膜 50 が露出するまで、配線材料膜 60、バリアメタル 56、磁性層 55、非磁性層 54、磁性層 53、バリアメタル 52 を除去することにより、2 重ヨーク構造の配線 60a を形成する (図 5 (d) 参照)。

【0087】

その後、SiN からなる絶縁膜 (図示せず) を堆積し、続いて下部配線 60a の上に TMR 素子 (図示せず) を形成し、更にこの TMR 素子上に、第 1 実施形態の配線 6 に相当する上部配線 (図示せず) 形成し、実施例 1 の磁気メモリセルを作成した。

【0088】

なお、TMR 素子は、エキシマステッパとイオンミリングを用いて作製した。カバー層には Ta、上部電極には、Ta/Cu/Ta を用いた。強磁性層の成膜中は、磁場中で行った。作製した TMR 素子の構成は、

Ta(5nm)/Ir-Mn(10nm)/Co-Fe(3nm)/Ru(1nm)/Co-Fe(3nm)/AlOx(2nm)/Ni-Fe(3nm)/Ta(5nm)/Cu(50nm)/Ta(10nm)

となっている。ここで、括弧内の数字は膜厚を示す。TMR 素子は、ヨーク配線と TMR 素子の距離をなるべく近づけるため、SiN からなる上記絶縁膜の膜厚を 20 nm とし、ヨークと TMR 素子の距離を近づけた実施例 1 の磁気メモリセルを作製した。

【0089】

また、上記実施例 1 において、磁性層 53 として $\text{Ne}_{80}\text{Fe}_{20}$ を 30 nm

、非磁性層 54 として TaN を 10 nm、磁性層 55 として $\text{Co}_{70}\text{Fe}_{30}$ 、 $\text{Si}_{15}\text{B}_{10}$ を 30 nm とした変形例の磁気メモリセルを作成した。すなわち、実施例 1 と変形例は、非磁性層 54 および磁性層 55 の材質のみが異なっている。

【0090】

また比較のため、上記実施例 1 および変形例において、下部配線を単層のヨークで被覆された磁気メモリセルを作成し、それぞれ比較例 1 および比較例 2 とした。すなわち、比較例 1 は、下部配線が膜厚 30 nm の $\text{Ne}_{80}\text{Fe}_{20}$ からなる磁性層で被覆され、比較例 2 は、下部配線が膜厚 30 nm の $\text{Co}_{70}\text{Fe}_{30}$ 、 $\text{Si}_{15}\text{B}_{10}$ 膜からなる磁性層で被覆されている。

【0091】

比較例 1 または比較例 2 による磁気メモリセルの形成方法を、図 6 を参照して説明する。図 6 は、比較例 1 または比較例 2 による磁気メモリセルの下部配線の製造工程断面図である。

【0092】

まず、上記実施例 1 の場合と同様に、下層にメモリ部分の駆動回路などが作りこまれた基板上（図示せず）に、 SiO_2 からなる絶縁膜 50 を堆積する。絶縁膜 50 を RIE でエッチングし、所定のパターンの溝 51 を形成する（図 6（a）参照）。次に、図 6（b）に示すように、絶縁膜 50 および溝 51 の表面に、バリアメタル 57 として TaN を 20 nm、磁性層 58 として $\text{Ne}_{80}\text{Fe}_{20}$ を 30 nm、バリアメタル 59 として Ta を 20 nm、スパッタ法を用いて順次堆積する。その後、図 6（c）に示すように、例えばスパッタ法または電解めっき法を用いて、溝 51 を例えば Cu からなる配線材料膜 60 で埋め込む。次に、例えば CMP (Chemical Mechanical Polishing) 法を用いて、絶縁膜 50 が露出するまで、配線材料膜 60、バリアメタル 59、磁性層 58、バリアメタル 57 を除去することにより、2 重ヨーク構造の配線 60a を形成する（図 6（d）参照）。

【0093】

その後、 SiN からなる絶縁膜（図示せず）を堆積し、続いて下部配線 60a

の上にTMR素子（図示せず）を形成し、更にこのTMR素子上に、上部配線（図示せず）形成し、比較例1の磁気メモリセルを作成した。なお、比較例2は、比較例1の磁性層58の材料を $\text{Ne}_{80}\text{Fe}_{20}$ から $\text{Co}_{70.5}\text{Fe}_{4.5}\text{Si}_{15}\text{B}_{10}$ に変えた構成となっている。

【0094】

上記実施例1および変形例ならびに比較例1、2をそれぞれ100個作成し、磁場中でアニールを行いスイッチング磁界のバラツキを評価した。このスイッチング磁界のバラツキの評価は、オートプロバを用いてMR曲線を測定し、統計処理を行いスイッチング磁界 dH_c およびオフセット磁界 dH_{off} のバラツキを評価した。この評価結果を図7に示す。図7に示す数値はスイッチング磁界 dH_c およびオフセット磁界 dH_{off} の 2σ の値を示す。ここで、 σ は標準偏差を示す。図7から分かるように、実施例1および変形例のように二重ヨーク構造を用いた場合は、比較例1および2のような単層ヨーク構造の場合に比べてスイッチング磁界のバラツキおよびオフセット磁界のバラツキがともに小さく、好ましい結果を示している。

【0095】

（実施例2）

実施例2による磁気メモリセルは、単純マトリクス型の磁気メモリセルであって、上部配線（第1実施形態においては配線6に相当）のみが2重ヨークに被覆された構成となっている。この2重ヨークに被覆された上部配線の製造方法の一具体例を、図8を参照して説明する。図8はこの具体例による上部配線の製造方法の製造工程断面図である。

【0096】

まず、TMR素子（図示せず）をTa/Cu/Taからなる下部配線（図示せず）上に作製した。トンネル接合の作製はエキシマステッパとイオンミリングを用いて作製した。カバー層にはTaを用いた。強磁性層の成膜中は、磁場中で行った。

【0097】

作製したTMR素子は

Ta(5nm)/Cu(30nm)/Ta(5nm)/Ir-Mn(10nm)/Co-Fe(3nm)/Ru(1nm)/Co-Fe(3nm)/AlOx(

2nm)/Ni-Fe(3nm)/Ta(5nm)

である。ここで、括弧内の数字は膜厚を示す。

【0098】

下層にTMR素子を作りこんだ後、TMR素子と上部配線が電氣的に接続されるように、TMR素子の上部電極が露出した状態において、図8(a)に示すように、上部配線となるTi/Al-Cu/Tiからなる配線材料膜61、Ta_Nからなる膜厚20nmのバリアメタル62、Ne₈₁Fe₁₉からなる膜厚30nmの磁性層63、Taからなる膜厚10nmの非磁性層64、Ni₈₁Fe₁₉からなる膜厚30nmの磁性層65、Moからなる膜厚20nmのバリアメタル66をスパッタ法を用い順次堆積する。さらにバリアメタル66上にSiO₂からなる膜厚150nmのエッチングマスク材67を堆積する。

【0099】

次に、SiO₂からなるエッチングマスク材67を例えばCHF₃をエッチングガスとして用いたRIEで所定のパターンに加工し、エッチングマスク67aを形成する(図8(b)参照)。

【0100】

続いて、図8(c)に示すように、エッチングマスク67aを用いて、上層のバリアメタル66から配線材料膜61までエッチングする。本実施例では、アルゴン、塩素を用いたRIEで適当にガス比を変えてエッチングを行った。

【0101】

さらにその後、図8(d)に示すように、Ta_Nからなる膜厚20nmのバリアメタル68、Ne₈₁Fe₁₉からなる膜厚30nmの磁性層69、Taからなる膜厚10nmの非磁性層70、Ni₈₁Fe₁₉からなる膜厚30nmの磁性層71、Taからなる膜厚20nmのバリアメタル72をスパッタ法を用いて順次堆積する。

【0102】

再度、上層からRIEの異方性を用いて、平坦部のバリアメタル72からバリアメタル68までエッチング除去し、エッチングマスク67aを除去すると、側壁部は図8(e)に示すように、エッチングされずに残り、2重ヨーク構造の配

線を有する実施例 2 の磁気メモリセルが形成できる。

【0103】

配線の上部の角は、図 8 (e) に示すように、ある程度角が取れるようにエッチングを調整した。これは SiO_2 からなるマスク 67a のエッチングレート比を調整することで、角の形状を制御することが可能である。

【0104】

また、上記実施例 2 において、磁性層 65、71 をそれぞれ $\text{Ne}_{81}\text{Fe}_{19}$ から $\text{Co}_{87}\text{Nb}_5\text{Zr}_8$ に変えたとともに非磁性層 64、70 を Ta から TaN に変えた変形例の磁気メモリセルを作成した。すなわち、実施例 2 と変形例は、磁性層 65、71 および非磁性層 64、70 の材質のみが異なっている。

【0105】

また比較のため、上記実施例 2 および変形例において、上部配線を単層のヨークで被覆された磁気メモリセルを作成し、それぞれ比較例 1 および比較例 2 とした。すなわち、比較例 1 は、下部配線が膜厚 30 nm の $\text{Ne}_{81}\text{Fe}_{19}$ からなる磁性層で被覆され、比較例 2 は、下部配線が膜厚 30 nm の $\text{Co}_{87}\text{Nb}_5\text{Zr}_8$ からなる磁性層で被覆されている。なお、実施例 2、変形例、および比較例 1、2 においては、TMR 素子上部の Ta 膜とヨークに 30 nm まで近づけてある。

【0106】

上記実施例 2 および変形例ならびに比較例 1、2 をそれぞれ 100 個作成し、磁場中でアニールを行いスイッチング磁界のバラツキを評価した。このスイッチング磁界のバラツキの評価は、オートプロバを用いて MR 曲線を測定し、統計処理を行いスイッチング磁界 dH_c およびオフセット磁界 dH_{off} のバラツキを評価した。この評価結果を図 9 に示す。図 9 に示す数値はスイッチング磁界 dH_c およびオフセット磁界 dH_{off} の 2σ の値を示す。ここで、 σ は標準偏差を示す。図 9 から分かるように、実施例 2 および変形例のように二重ヨーク構造を用いた場合は、比較例 1 および比較例 2 のような単層ヨーク構造の場合に比べてスイッチング磁界のバラツキおよびオフセット磁界のバラツキがともに小さく、好ましい結果を示している。

【0107】

(実施例3)

実施例3による磁気メモリセルは、単純マトリクス型の磁気メモリセルであって、上部配線（第1実施形態においては配線6に相当）のみが2重ヨークに被覆された構成となっている。この2重ヨークに被覆された上部配線の製造方法の一具体例を、図10を参照して説明する。図10はこの具体例による上部配線の製造方法の製造工程断面図である。

【0108】

この具体例の製造方法は側壁の再堆積を利用して自動的に2重ヨークを形成するものである。

【0109】

まず、実施例2の場合と同様に、TMR素子の上部電極が露出した状態において、図10(a)に示すように、Ti/Al-Cu/Tiからなる配線材料膜75、Ta_Nからなる膜厚20nmのバリアメタル76、Ne₈₁Fe₁₉からなる膜厚30nmの磁性層77、Taからなる膜厚10nmの非磁性層78、Ne₈₁Fe₁₉からなる膜厚30nmの磁性層79、Taからなる膜厚20nmのバリアメタル80を、スパッタを用いて順次堆積する。さらにバリアメタル80上にSiO₂からなるエッチングマスク材81を150nm堆積する（図10(a)参照）。

【0110】

次に、SiO₂からなるエッチングマスク材81を例えばCHF₃をエッチングガスとして用いたRIEで所定のパターンに加工し、エッチングマスク81aを形成する（図10(b)参照）。

【0111】

続いて、図10(c)に示すように、エッチングマスク81aを用いて、上層のバリアメタル80から下層の配線材料膜75までエッチングする。本実施例では、アルゴン、塩素を用いたRIEで適当にガス比を変えてエッチングを行った。

【0112】

さらにその後、図 1 0 (d) に示すように、Ta N からなる膜厚 2 0 n m のバリアメタル 8 2、 $\text{Ne}_{81}\text{Fe}_{19}$ からなる膜厚 3 0 n m の磁性層 8 3、Ta からなる膜厚 2 0 n m のバリアメタル 8 4 を、スパッタ法を用いて順次堆積する。

【0 1 1 3】

次に、R I E の異方性を利用して、平坦部のバリアメタル 8 4 からバリアメタル 8 2 までエッチング除去するが、ここでエッチングを例えば Ar を主体としたスパッタエッチングモードとすることで、側壁部には図 1 0 (e)、(f)、(g) に示すように、平坦部でエッチングされたものが、側壁部に再堆積する。すなわち、図 1 0 (e) においては、図 1 0 (d) に示す上層のバリアメタル 8 4 が側壁部を除いてエッチングされてこのエッチングされたバリアメタルが側壁部に再堆積されて側壁部のバリアメタル 8 4 a となる。また、図 1 0 (f) においては、図 1 0 (e) に示す上層の磁性層 8 3 が側壁部を除いてエッチングされてこのエッチングされた磁性層が再堆積されて側壁部の磁性層 8 3 a となる。また、図 1 0 (g) においては、図 1 0 (f) に示す上層のバリアメタル 8 2 が側壁部を除いてエッチングされてこのエッチングされたバリアメタルが側壁部のバリアメタル 8 2 a となる。その後、エッチングマスク 8 1 a を除去し、実施例 3 による磁気メモリセルを完成する。

【0 1 1 4】

このように、側壁部にスパッタした磁性層 8 3 が 1 層でも、最終的に側壁部には Ta からなるバリアメタル (非磁性体) 8 4、8 4 a を介して積層された 2 重の磁性層 8 3、8 3 a からなる 2 重ヨーク構造の配線を有する実施例 3 の磁気メモリセルが形成される。

【0 1 1 5】

この実施例 3 において、磁性層 8 3、8 3 a の材質を $\text{Ne}_{81}\text{Fe}_{19}$ から $\text{Fe}_{90}\text{Cu}_1\text{Zr}_7\text{B}_2$ に変えたとともにバリアメタル (非磁性体) 8 4、8 4 a の材質を Ta から Ta N に変えたものを変形例による磁気メモリセルとする。すなわち、実施例 3 と変形例とは磁性層 8 3、8 3 a および非磁性層 8 4、8 4 a の材質のみが異なっている。

【0 1 1 6】

また、比較のため、実施例 3 およびその変形例において、上部配線を単層のヨークで被覆された磁気メモリセルを作成し、それぞれ比較例 1 および比較例 2 とした。すなわち、比較例 1 は、下部配線が膜厚 30 nm の $\text{Ne}_{81}\text{Fe}_{19}$ からなる磁性層で被覆され、比較例 2 は、下部配線が膜厚 30 nm の $\text{Fe}_{90}\text{Cu}_1\text{Zr}_7\text{B}_2$ からなる磁性層で被覆されている。なお、実施例 3、変形例、および比較例 1, 2 においては、TMR 素子上部の Ta 膜とヨークに 30 nm まで近づけてある。

【0117】

上記実施例 3 およびその変形例ならびに比較例 1, 2 をそれぞれ 100 個作成し、磁場中でアニールを行いスイッチング磁界のバラツキを評価した。このスイッチング磁界のバラツキの評価は、オートプロバを用いて MR 曲線を測定し、統計処理を行いスイッチング磁界 dH_c およびオフセット磁界 dH_{off} のバラツキを評価した。この評価結果を図 11 に示す。図 11 に示す数値はスイッチング磁界 dH_c およびオフセット磁界 dH_{off} の 2σ の値を示す。ここで、 σ は標準偏差を示す。図 11 から分かるように、実施例 3 および変形例のように二重ヨーク構造を用いた場合は、比較例 1 および比較例 2 のような単層ヨーク構造の場合に比べてスイッチング磁界のバラツキおよびオフセット磁界のバラツキがともに小さく、好ましい結果を示している。

【0118】

上記実施例 2 乃至 3 においては、上部に磁性層を 2 層積層した構成としたが、図 12 に示すように、上部磁性層は 1 層とし、側壁部のみ 2 重にすることも可能である。

【0119】

(実施例 4)

実施例 4 の磁気メモリセルとして、2 重平面ヨーク構造を TMR 素子に隣接して設けた例を図 13 を参照して説明する。

【0120】

図 2 に示す第 2 実施形態の場合のように、2 重にする磁性層は必ずしも配線に密着している必要はなく、TMR 素子とほぼ同一平面上に、ヨークの一部として

存在してもよく、その部分を2重構造にしてもよい。この構造は、TMR素子とヨーク配線間距離が0.1 μm より大きく離れているとき有効である。

【0121】

まず、図13に示すように、バリアメタル90a、強磁性層90b、非磁性層90c、強磁性層90d、およびバリアメタル90eからなる2重ヨーク90で被覆された下部配線24を形成する。その後、絶縁膜（図示せず）を形成し、この絶縁膜上に引き出し電極30を形成する。そしてこの引き出し電極上にTMR素子2を形成する。続いて、このTMR素子2を取り囲むように例えば SiO_2 からなる絶縁膜形成する。その後、TMR素子2とほぼ同一平面に、Taからなる膜厚10nmのバリアメタル93a、 $\text{Ni}_{81}\text{Fe}_{19}$ からなる膜厚30nmの強磁性層93b、Taからなる膜厚10nmの非磁性層93c、 $\text{Ni}_{81}\text{Fe}_{19}$ からなる膜厚30nmの強磁性層93d、およびTaからなる膜厚10nmのバリアメタル層93eが順次積層された2重ヨーク93A、93Bを形成する。2重ヨーク93Aは下部配線24用のヨークであり、2重ヨーク93Bは上部配線6用のヨークである。

【0122】

続いて、全面に絶縁膜（図示せず）を体積し、この絶縁膜にTMR素子2に接続する開口を開け、この開口を導電体で埋め込み接続プラグ4を形成する。その後、バリアメタル96a、強磁性層96b、非磁性層96c、強磁性層96d、バリアメタル96eからなる2重ヨーク96で被覆された上部配線6を形成し、実施例4の磁気メモリセルを完成する。

【0123】

この実施例4において、2重ヨーク93A、93Bを構成する強磁性層93dの材質を $\text{Co}_{87}\text{Nb}_5\text{Zr}_8$ とし、非磁性層93cの材質をTaNとした磁気メモリセルを実施例4の変形例とする。

【0124】

また、比較のために、実施例4の上記2重ヨーク93A、93Bを、 $\text{Ni}_{81}\text{Fe}_{19}$ からなる膜厚30nmの単層のヨークとした磁気メモリセルを比較例1とし、 $\text{Co}_{87}\text{Nb}_5\text{Zr}_8$ からなる膜厚30nmの単層のヨーク膜とした磁気

メモリセルを比較例 2 とした。なお、実施例 4、その変形例、比較例 1、2 において、TMR 素子 2 の上部と 2 重ヨーク 9 3 A、9 3 B 間の距離は 3 0 n m まで近づけた。

【 0 1 2 5 】

上記実施例 4 およびその変形例ならびに比較例 1、2 をそれぞれ 1 0 0 個作成し、磁場中でアニールを行い、スイッチング磁界のバラツキを評価した。このスイッチング磁界のバラツキの評価は、オートプロバを用いて MR 曲線を測定し、統計処理を行いスイッチング磁界 $d H_c$ およびオフセット磁界 $d H_{off}$ のバラツキを評価した。この評価結果を図 1 4 に示す。図 1 4 に示す数値はスイッチング磁界 $d H_c$ およびオフセット磁界 $d H_{off}$ の 2σ の値を示す。ここで、 σ は標準偏差を示す。図 1 4 から分かるように、実施例 4 およびその変形例のように二重ヨーク構造を用いた場合は、比較例 1 および比較例 2 のような単層ヨーク構造の場合に比べてスイッチング磁界のバラツキおよびオフセット磁界のバラツキがともに小さく、好ましい結果を示している。

【 0 1 2 6 】

次に、本発明による磁気メモリのアーキテクチャの具体例を図 1 5 乃至図 1 8 を参照して説明する。

【 0 1 2 7 】

図 1 5 は、磁気メモリの第 1 の具体例のアーキテクチャを示す模式図である。すなわち、同図は、メモリアレーの断面構造を示しており、このアーキテクチャにおいては、読み出し／書き込み用ビット線 B L に複数の TMR 素子 C が並列に接続されている。それぞれの TMR 素子 C の他端には、ダイオード D を介して読み出し／書き込み用ワード線 W L が接続されている。また、各ワード線 W L は、各ワード線 W L を選択する選択トランジスタ S T w を介してセンスアンプ S A に接続された構成となっている。また、読み出し／書き込み用ビット線 B L は、このビット線 B L を選択するための選択トランジスタ S T B を介して接地された構成となっている。

【 0 1 2 8 】

この図 1 5 に示す第 1 の具体例の磁気メモリにおいては、読み出し時には、目

的のTMR素子Cに接続されているビット線BLとワード線WLとを選択トランジスタSTB、STwによりそれぞれ選択してセンスアンプSAにより電流を検出する。また、書き込み時には、やはり目的のTMR素子Cに接続されているビット線BLとワード線WLとを選択トランジスタSTB、STwにより選択して、書き込み電流を流す。この際に、ビット線BLとワード線WLにそれぞれ発生する磁場を合成した書き込み磁場がTMR素子Cの記憶層の磁化を所定の方向に向けることにより、書き込みができる。

【0129】

ダイオードDは、これら読み出し時あるいは書き込み時に、マトリクス状に配線されている他のTMR素子Cを介して流れる迂回電流を遮断する役割を有する。

【0130】

次に、磁気メモリのアーキテクチャの第2の具体例を、図16を参照して説明する。

【0131】

図16は、メモリアレーを積層化できるアーキテクチャの第2の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を示す。

【0132】

このアーキテクチャにおいては、読み出し／書き込み用ビット線BLwと読み出し用ビット線BLrとの間に複数のTMR素子Cが並列に接続された「ハシゴ型」の構成とされている。さらに、それぞれのTMR素子Cに近接して、書き込みワード線WLがビット線BLwと交差する方向に配線されている。

【0133】

TMR素子への書き込みは、読み出し／書き込み用ビット線BLwに書き込み電流を流すことにより発生する磁場と、書き込みワード線WLに書き込み電流を流すことにより発生する磁場との合成磁場をTMR素子の記憶層に作用させることにより、行うことができる。

【0134】

一方、読み出しの際には、ビット線BLw及びBLrの間で電圧を印加する。す

ると、これらの間で並列に接続されている全てのTMR素子に電流が流れる。この電流の合計をセンスアンプSAにより検出しながら、目的のTMR素子に近接したワード線WLに書き込み電流を印加して、目的のTMR素子の記憶層の磁化を所定の方向に書き換える。この時の電流変化を検出することにより、目的のTMR素子の読み出しを行うことができる。

【0135】

すなわち、書き換え前の記憶層の磁化方向が書き換え後の磁化方向と同一であれば、センスアンプSAにより検出される電流は変化しない。しかし、書き換え前後で記憶層の磁化方向が反転する場合には、センスアンプSAにより検出される電流が磁気抵抗効果により変化する。このようにして書き換え前の記憶層の磁化方向すなわち、格納データを読み出すことができる。但し、この方法は、読み出しの際に格納データを変化させる、いわゆる「破壊読み出し」に対応する。

【0136】

これに対して、TMR素子の構成を、磁化自由層／トンネルバリア層／磁気記録層、という構造とした場合には、「非破壊読み出し」が可能である。すなわち、この構造のTMR素子を用いる場合には、記憶層に磁化方向を記録し、読み出しの際には、磁化自由層の磁化方向を適宜変化させてセンス電流を比較することにより、記憶層の磁化方向を読み出すことができる。但しこの場合には、記憶層の磁化反転磁場よりも磁化自由層の磁化反転磁場のほうが小さくなるように設計する必要がある。

【0137】

図17は、磁気メモリのアーキテクチャの第3の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を示す。

【0138】

このアーキテクチャにおいては、読み出し／書き込み用ビット線BLwに複数のTMR素子Cが並列に接続され、これらTMR素子Cの他端には、それぞれ読み出し用ビット線BLrがマトリクス状に接続されている。さらに、これら読み出し用ビット線BLrに近接して、これと平行方向に書き込み用ワード線WLが配線されている。

【 0 1 3 9 】

TMR素子Cへの書き込みは、読み出し／書き込み用ビット線BL_wに書き込み電流を流すことにより発生する磁場と、書き込みワード線WLに書き込み電流を流すことにより発生する磁場との合成磁場をTMR素子の記憶層に作用させることにより、行うことができる。

【 0 1 4 0 】

一方、読み出しの際には、選択トランジスタSTにより書き込みビット線BL_wと読み出しビット線BL_rとを選択することにより、目的のTMR素子にセンス電流を流してセンスアンプSAにより検出することができる。

【 0 1 4 1 】

次に、磁気メモリのアーキテクチャの第4の具体例を、図18を参照して説明する。

【 0 1 4 2 】

図18は、磁気メモリのアーキテクチャの第4の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を示す。読み出し用ビット線BL_rがリードLを介してTMR素子Cに接続され、TMR素子Cの直下には書き込み用ワード線WLが配線されている点が異なる。このようにすると、TMR素子Cと書き込みワード線WLとを図17の構造よりも接近させることができる。その結果として、ワード線WLからの書き込み磁場をTMR素子に対してより効果的に作用させることができる。

【 0 1 4 3 】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、磁気抵抗効果素子を構成する強磁性層、絶縁膜、反強磁性層、非磁性金属層、電極などの具体的な材料や、膜厚、形状、寸法などに関しては、当業者が適宜選択することにより本発明を同様に実施し、同様の効果を得ることができるものも本発明の範囲に包含される。

【 0 1 4 4 】

同様に、本発明の磁気メモリを構成する各要素の構造、材質、形状、寸法につ

いても、当業者が適宜選択することにより本発明を同様に実施し、同様の効果を得ることができるものも本発明の範囲に包含される。

【0145】

また、本発明は、長手磁気記録方式のみならず垂直磁気記録方式の磁気ヘッドあるいは磁気再生装置についても同様に適用して同様の効果を得ることができる。

【0146】

その他、本発明の実施の形態として上述した磁気メモリを基にして、当業者が適宜設計変更して実施しうるすべての磁気メモリも同様に本発明の範囲に属する。

【0147】

【発明の効果】

以上述べたように、本発明によれば、消費電力が少なくかつTMR素子のスイッチング磁界およびオフセット磁界の値のバラツキを抑制することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による磁気メモリの構成を示す図。

【図2】

本発明の第2実施形態による磁気メモリの構成を示す図。

【図3】

本発明の第3実施形態による磁気メモリの構成を示す図。

【図4】

本発明の第4実施形態による磁気メモリの構成を示す図。

【図5】

本発明の実施例1による磁気メモリセルの下部配線の製造工程を示す工程断面図。

【図6】

比較例による磁気メモリセルの下部配線の製造工程を示す工程断面図。

【図7】

実施例 1 による磁気メモリセルの効果を説明する図。

【図 8】

本発明の実施例 2 による磁気メモリセルの上部配線の製造工程を示す工程断面図。

【図 9】

実施例 2 による磁気メモリセルの効果を説明する図。

【図 1 0】

本発明の実施例 3 による磁気メモリセルの上部配線の製造工程を示す工程断面図。

【図 1 1】

実施例 3 による磁気メモリセルの効果を説明する図。

【図 1 2】

実施例 2 または実施例 3 の第 2 変形例の構成を示す図。

【図 1 3】

本発明の実施例 4 による磁気メモリセルの構成を示す図。

【図 1 4】

実施例 4 による磁気メモリセルの効果を説明する図。

【図 1 5】

磁気メモリのアーキテクチャの第 1 具体例を示す図。

【図 1 6】

磁気メモリのアーキテクチャの第 2 具体例を示す図。

【図 1 7】

磁気メモリのアーキテクチャの第 3 具体例を示す図。

【図 1 8】

磁気メモリのアーキテクチャの第 4 具体例を示す図。

【図 1 9】

従来の磁気メモリの構成を示す図。

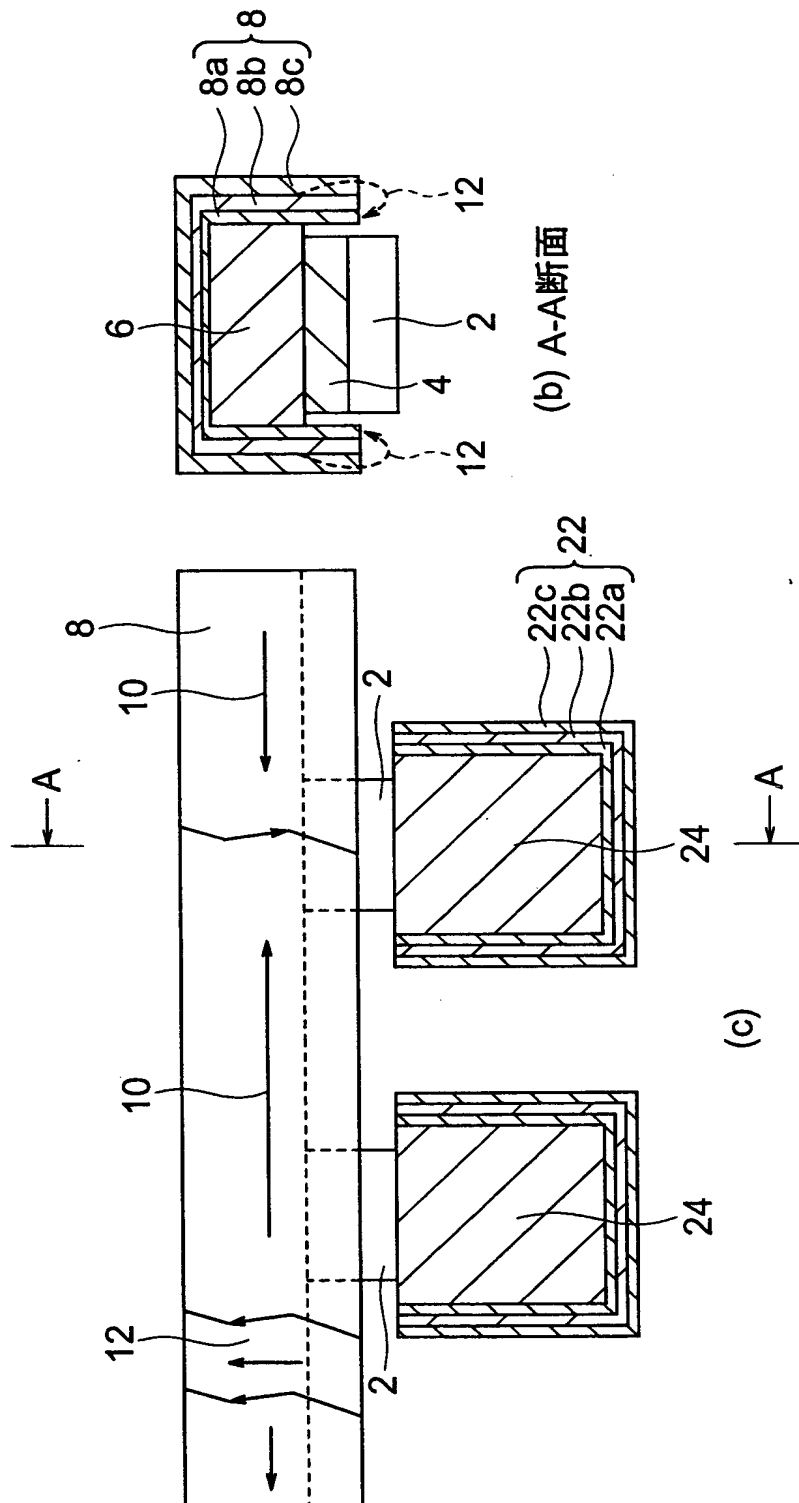
【符号の説明】

2 磁気抵抗効果素子

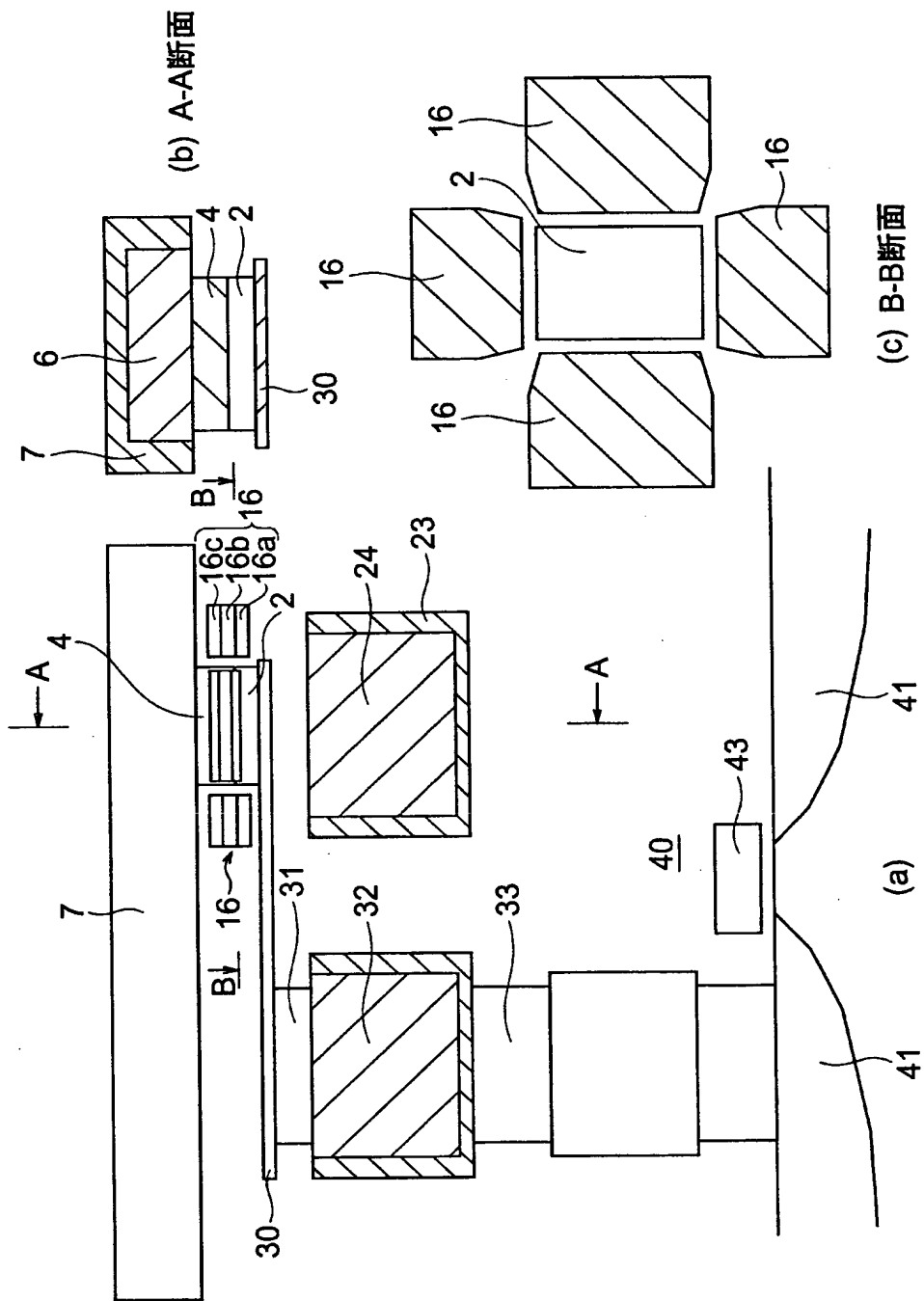
- 4 接続プラグ
- 5 接続プラグ
- 6 配線（上部配線）
- 7 ヨーク（単層ヨーク）
- 8 2重ヨーク
 - 8 a 強磁性層
 - 8 b 非磁性層
 - 8 c 強磁性層
- 1 0 磁化
- 1 2 漏れ磁界
- 1 6 2重ヨーク
 - 1 6 a 強磁性層
 - 1 6 b 非磁性層
 - 1 6 c 強磁性層
- 2 2 2重ヨーク
 - 2 2 a 強磁性層
 - 2 2 b 非磁性層
 - 2 2 c 強磁性層
- 2 3 ヨーク（単層ヨーク）
- 2 4 配線（下部配線）
- 3 0 引き出し電極
- 3 1 接続プラグ
- 3 2 接続プラグ
- 4 0 接続トランジスタ
- 4 1 ソース・ドレイン
- 4 3 ゲート電極

【書類名】 図面

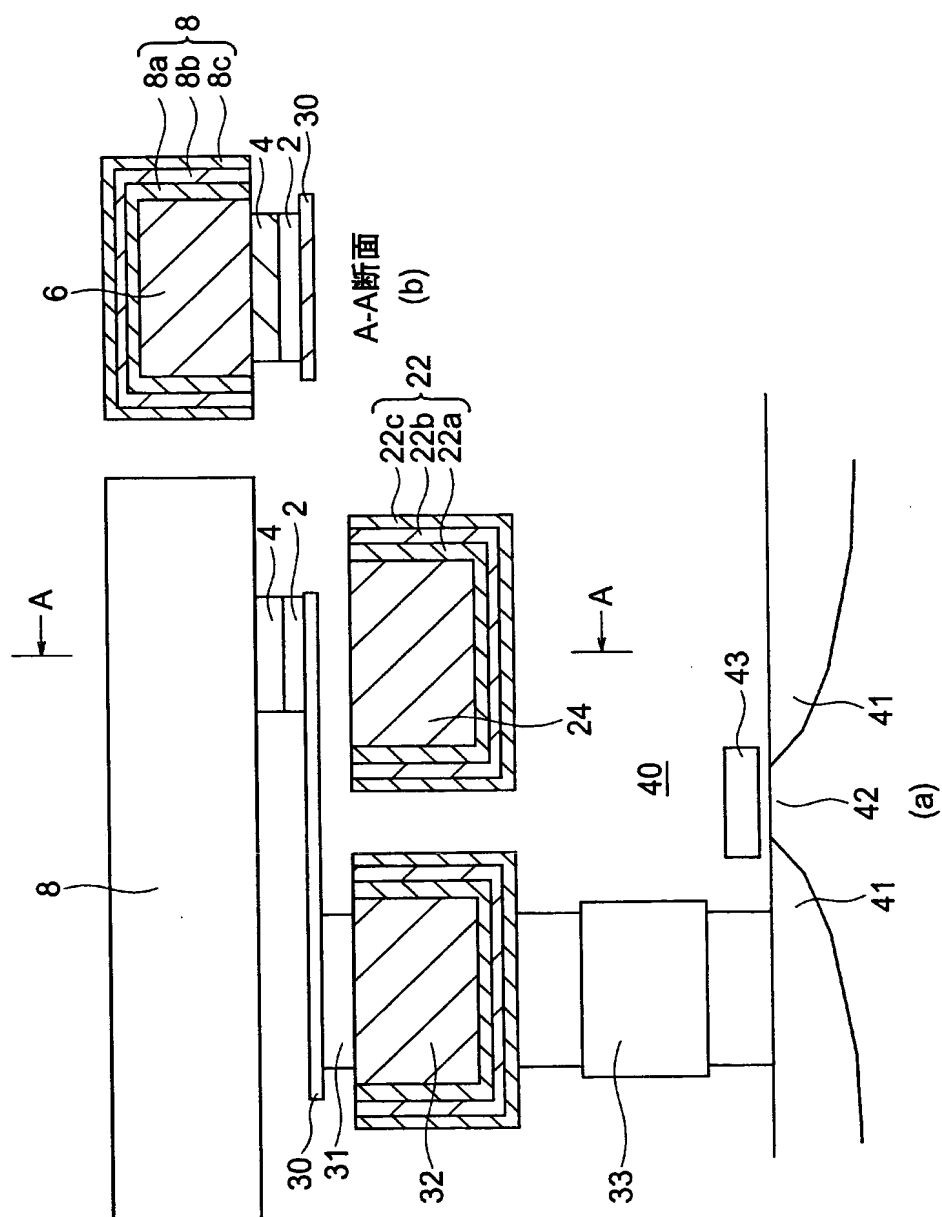
【図 1】



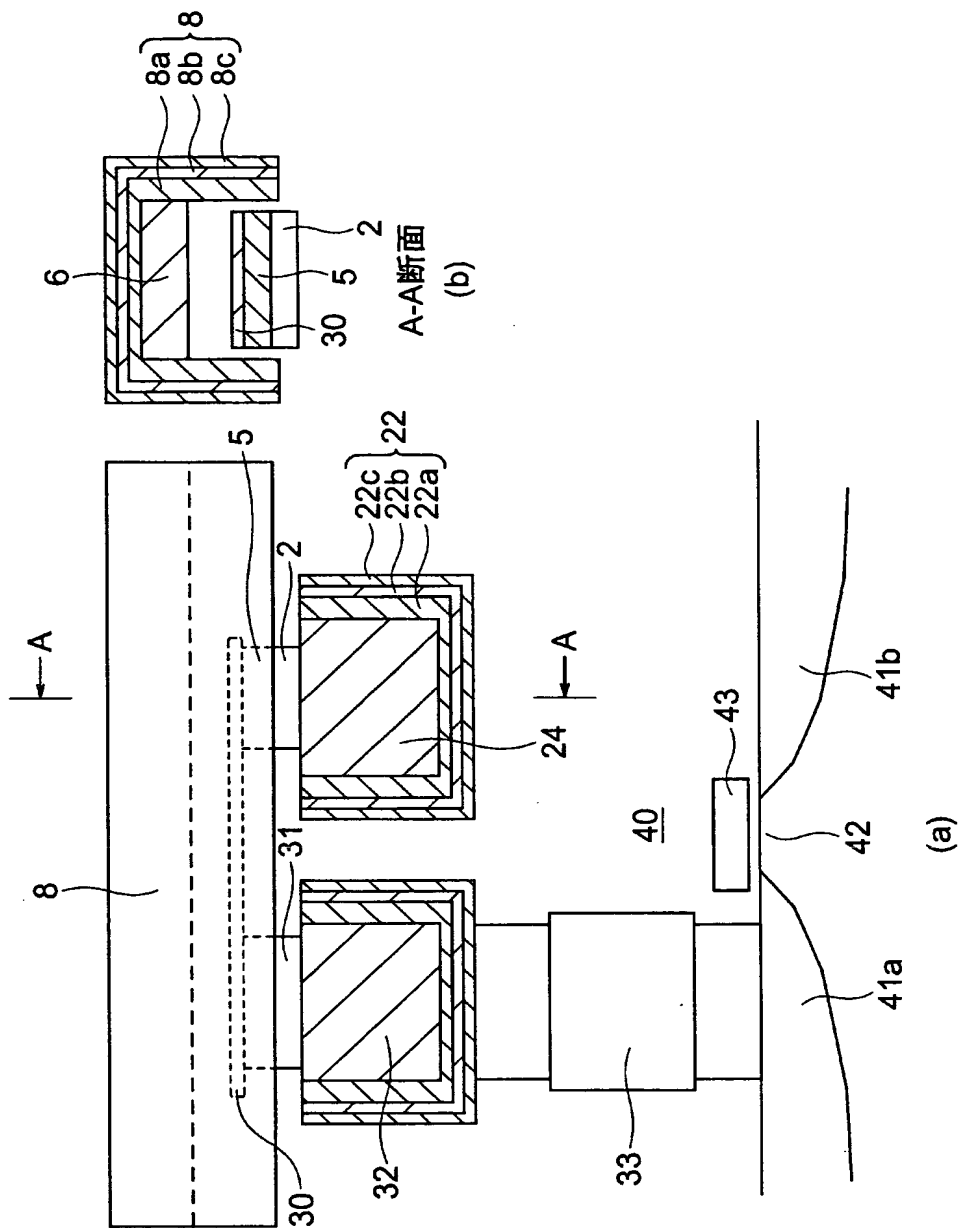
【図 2】



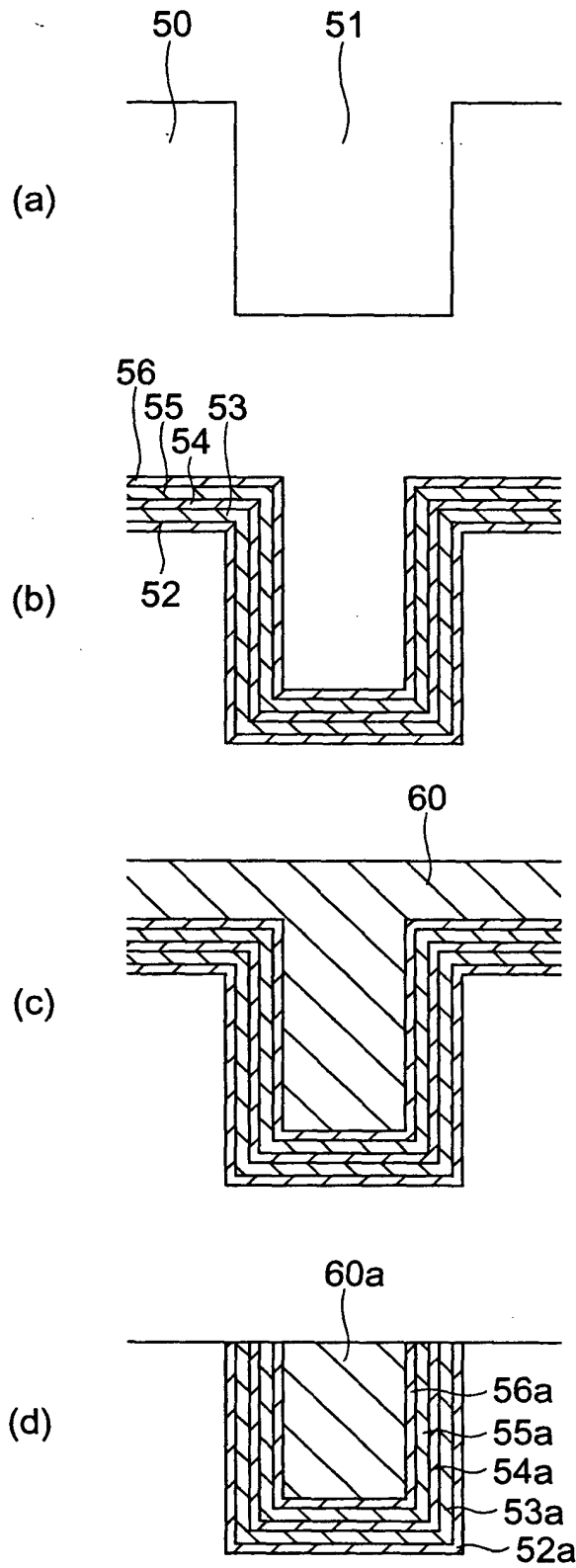
【図 3】



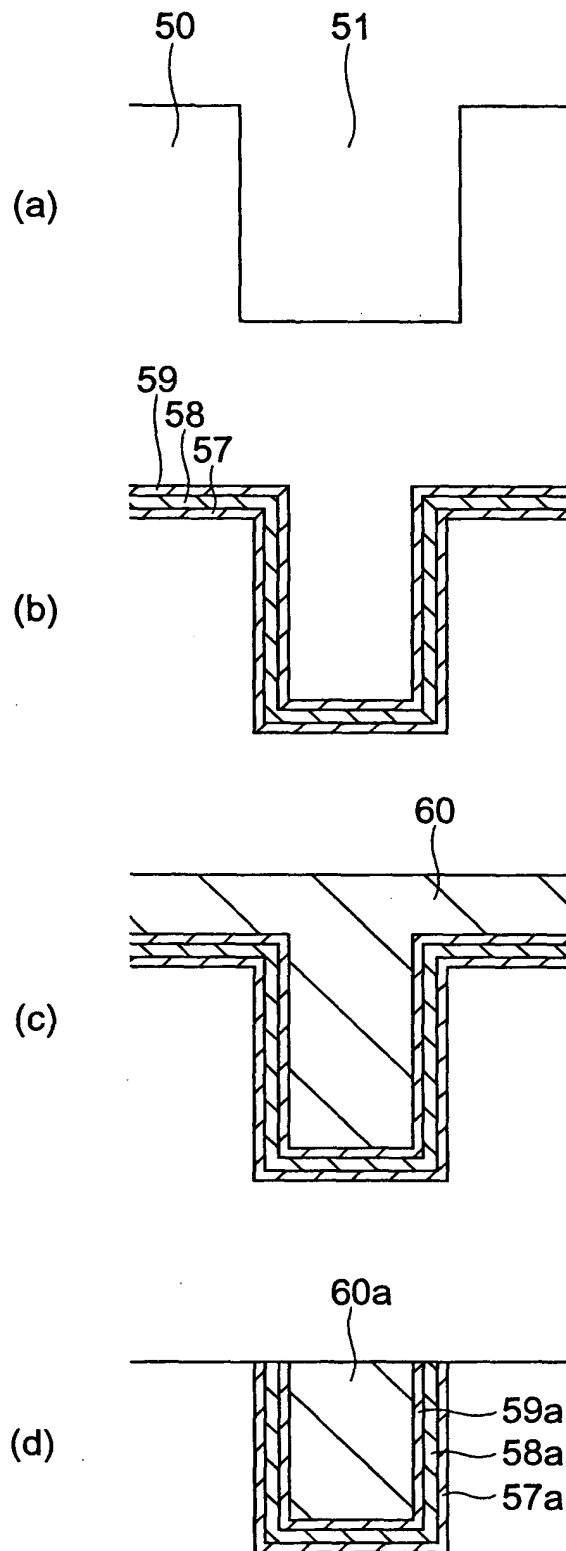
【図 4】



【図 5】



【図 6】

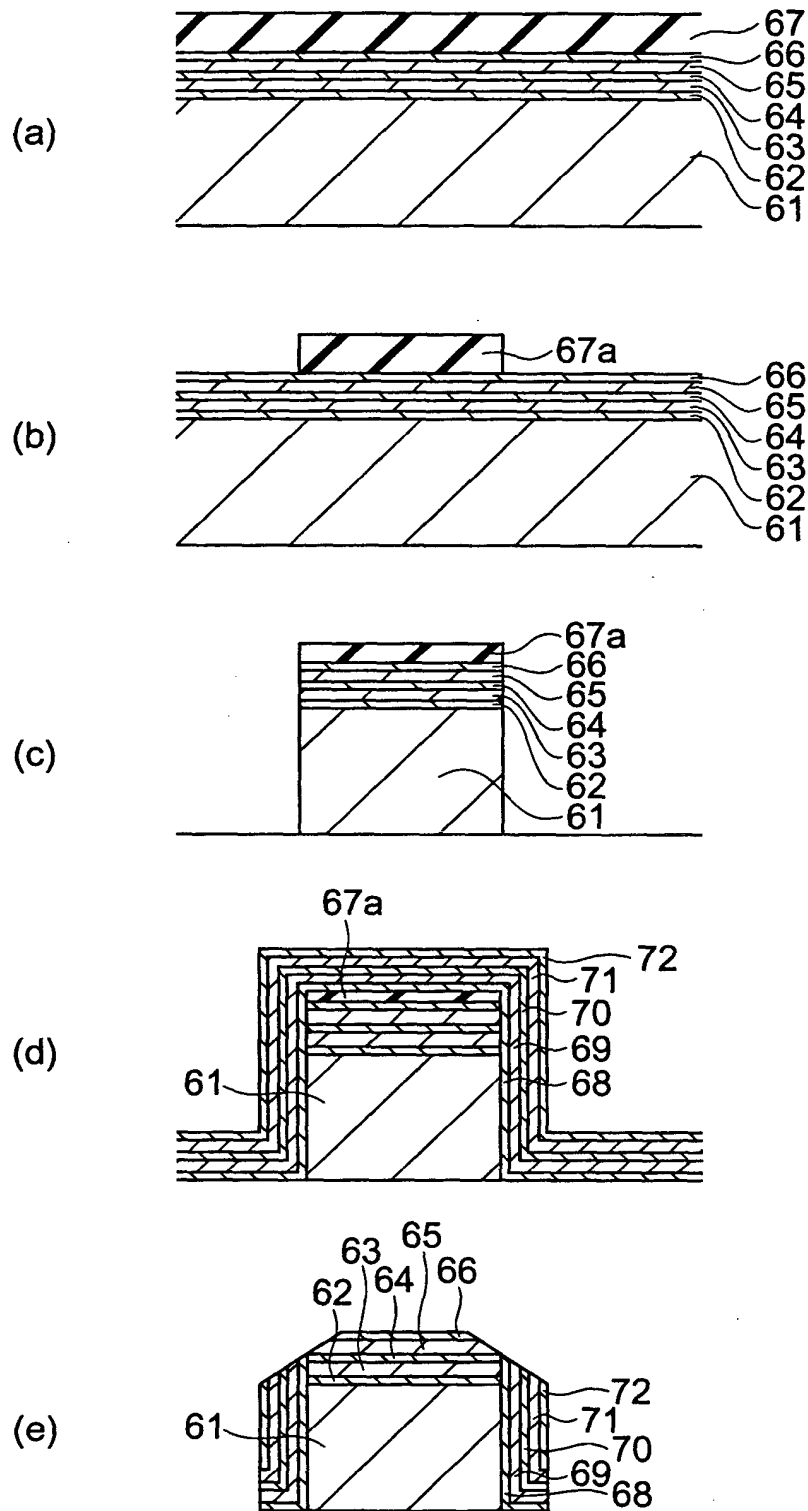


【図 7】

スイッチング磁界dHcおよびオフセット磁界dH_{off}のバラツキ

	ヨーク構造	dH _c (Oe)	dH _{off} (Oe)
実施例1	Ni ₈₀ Fe ₂₀ /Ta/Ni ₈₀ Fe ₂₀	8.9	7.3
変形例	CO _{70.5} Fe _{4.5} Si ₁₅ B ₁₀ /Ta/Ni ₈₀ Fe ₂₀	8.1	6.6
比較例1	Ni ₈₀ Fe ₂₀	19.4	20.3
比較例2	CO _{70.5} Fe _{4.5} Si ₁₅ B ₁₀	16.4	18.3

【図 8】

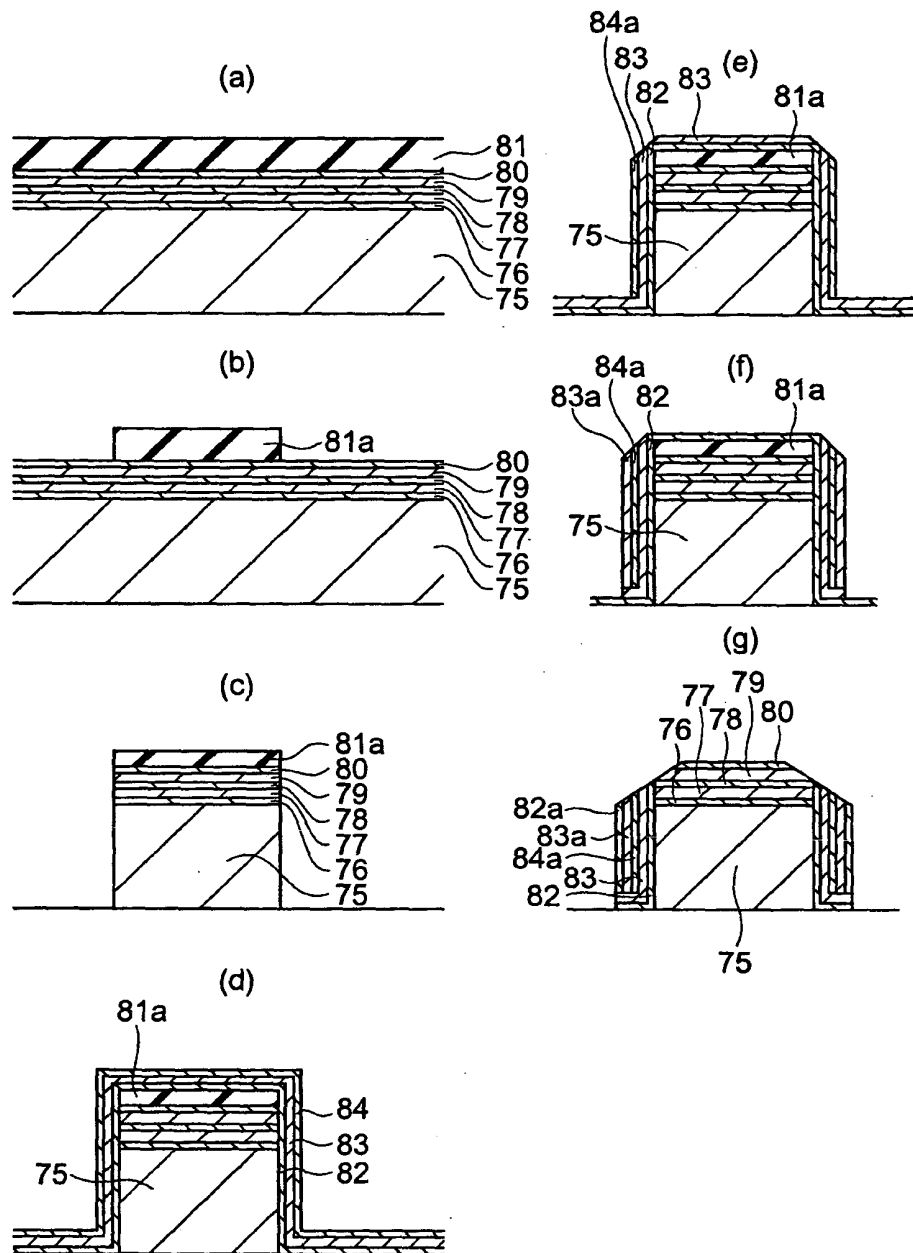


【図 9】

スイッチング磁界dHcおよびオフセット磁界dH_{off}のバラツキ

	ヨーク構造	dHc(Oe)	dH _{off} (Oe)
実施例2	Ni ₈₁ Fe ₁₉ /Ta/Ni ₈₁ Fe ₁₉	8.2	7.8
変形例	Ni ₈₁ Fe ₁₉ /TaN/CO ₈₇ Nb ₅ Zr ₈	7.8	8.1
比較例1	Ni ₈₁ Fe ₁₉	17.6	18.3
比較例2	CO ₈₇ Nb ₅ Zr ₈	17.7	19.1

【図 1 0】

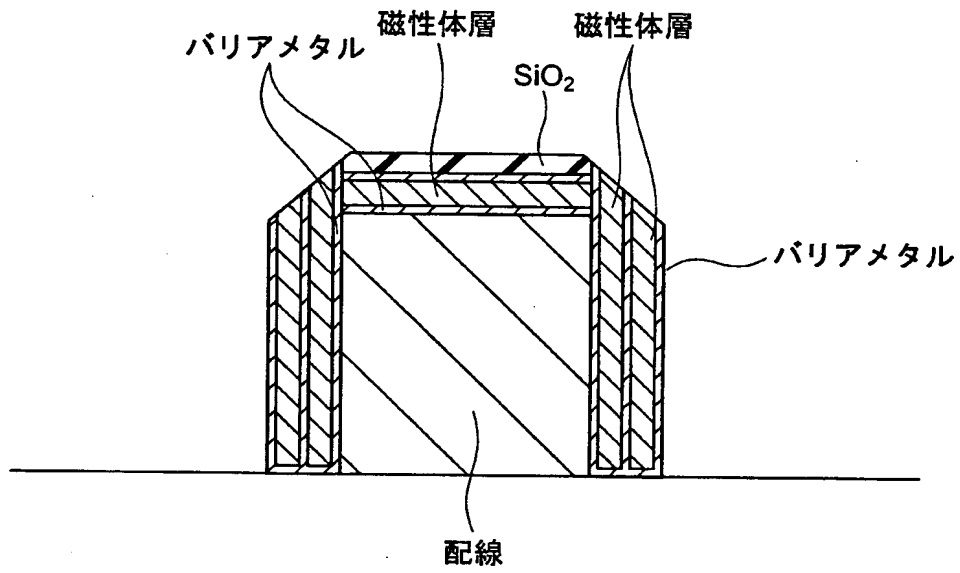


【図 1 1】

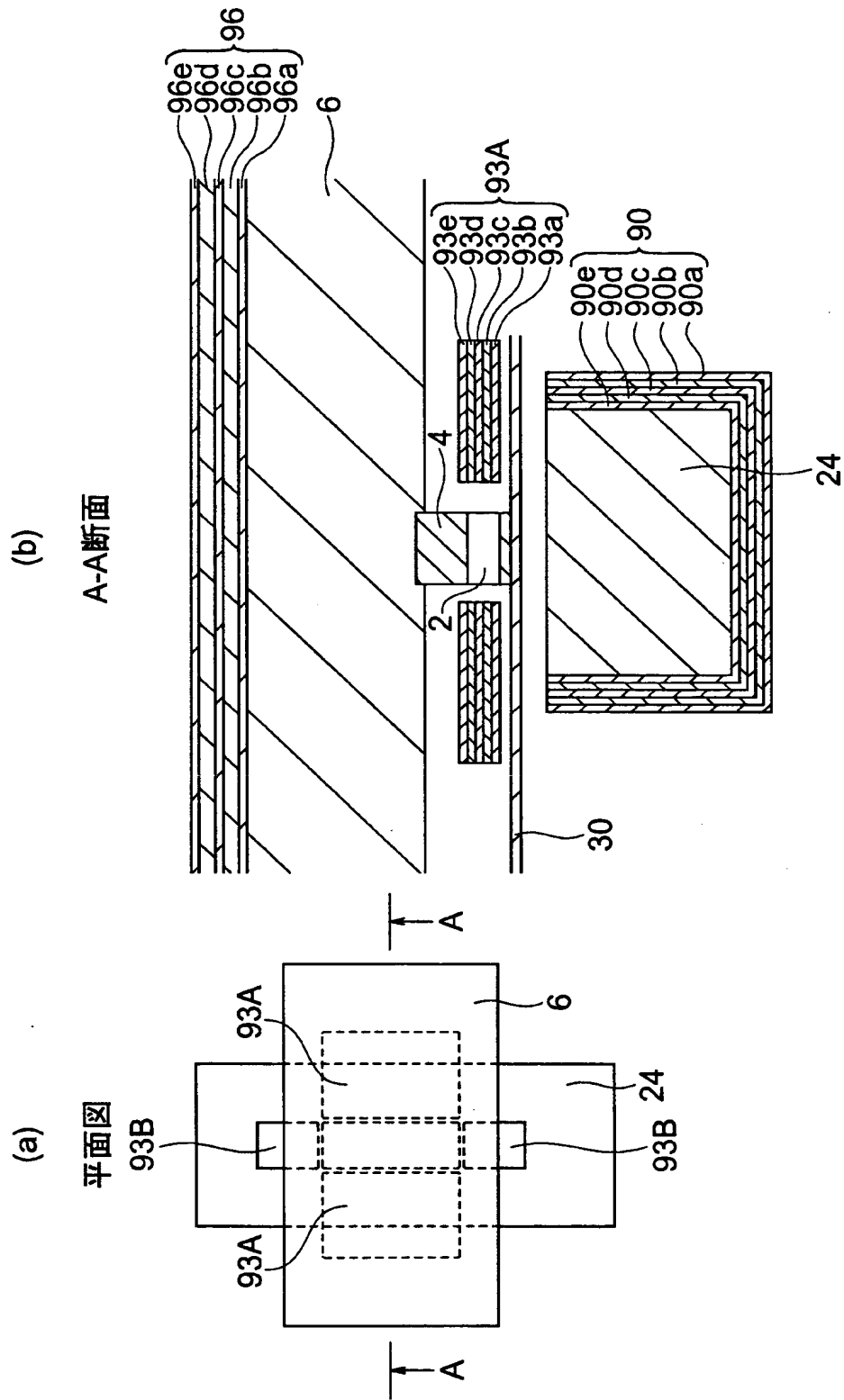
スイッチング磁界dHcおよびオフセット磁界dH_{off}のバラツキ

	ヨーク構造	dH _c (Oe)	dH _{off} (Oe)
実施例3	Ni ₈₁ Fe ₁₉ /Ta/Ni ₈₁ Fe ₁₉	9.4	8.1
変形例	Ni ₈₁ Fe ₁₉ /TaN/Fe ₉₀ Cu ₁ Zr ₇ B ₂	7.7	9.1
比較例1	Ni ₈₁ Fe ₁₉	18.1	17.9
比較例2	Fe ₉₀ Cu ₁ Zr ₇ B ₂	13.2	15.9

【図 1 2】



【図 1 3】

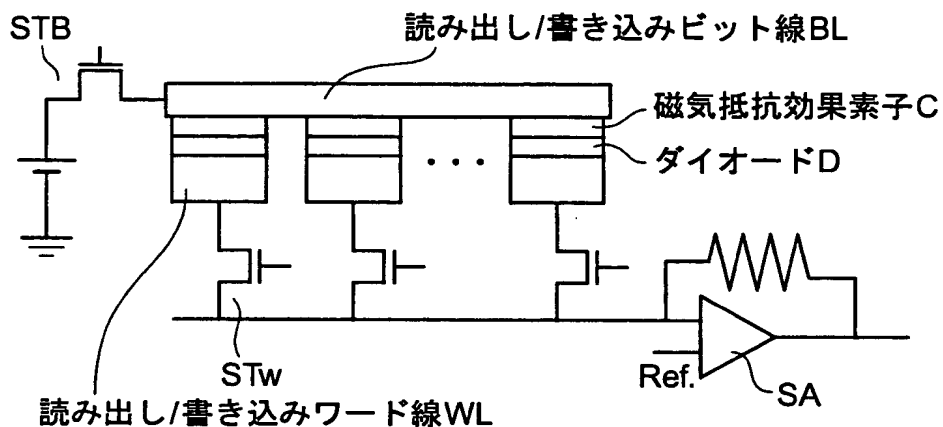


【図 1 4】

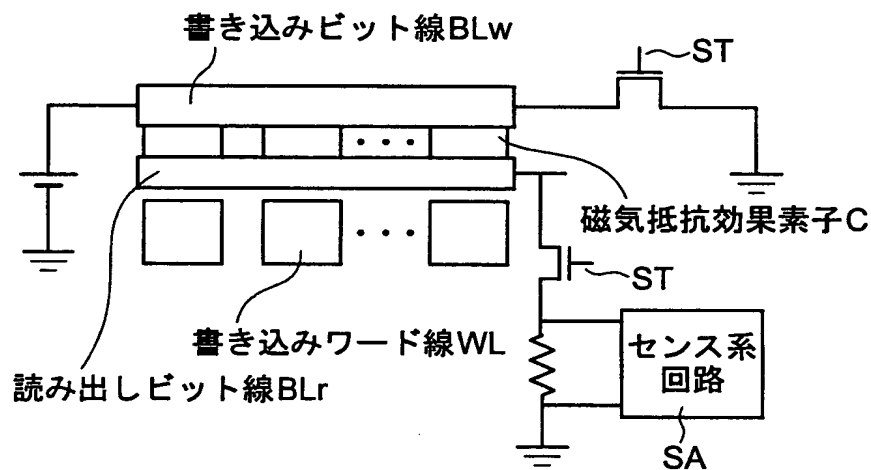
スイッチング磁界dHcおよびオフセット磁界dH_{off}のパラツキ

	ヨーク構造	dHc(Oe)	dH _{off} (Oe)
実施例4	Ni ₈₁ Fe ₁₉ /Ta/Ni ₈₁ Fe ₁₉	8.2	7.8
変形例	Ni ₈₁ Fe ₁₉ /Ta/Co ₈₇ Nb ₅ Zr ₈	8.5	7.4
比較例1	Ni ₈₁ Fe ₁₉	17.8	16.3
比較例2	Co ₈₇ Nb ₅ Zr ₈	15.4	18.3

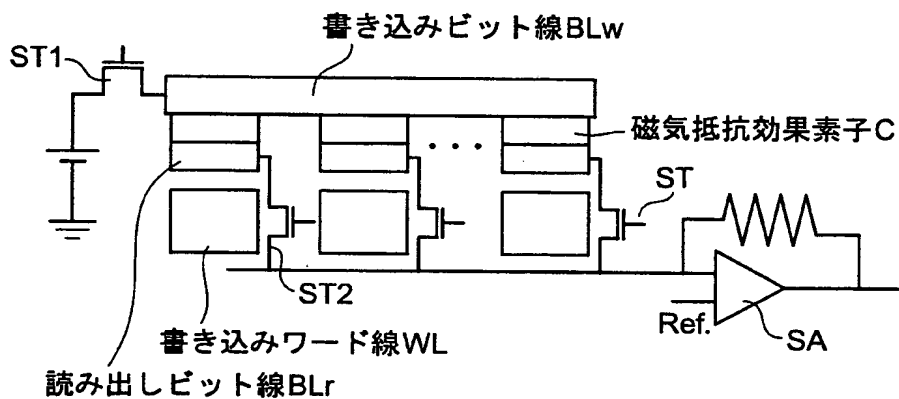
【図 1 5】



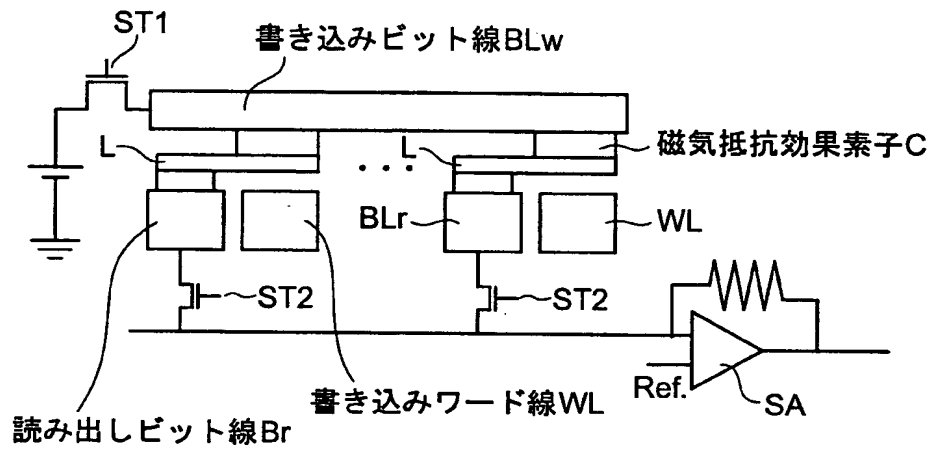
【図 1 6】



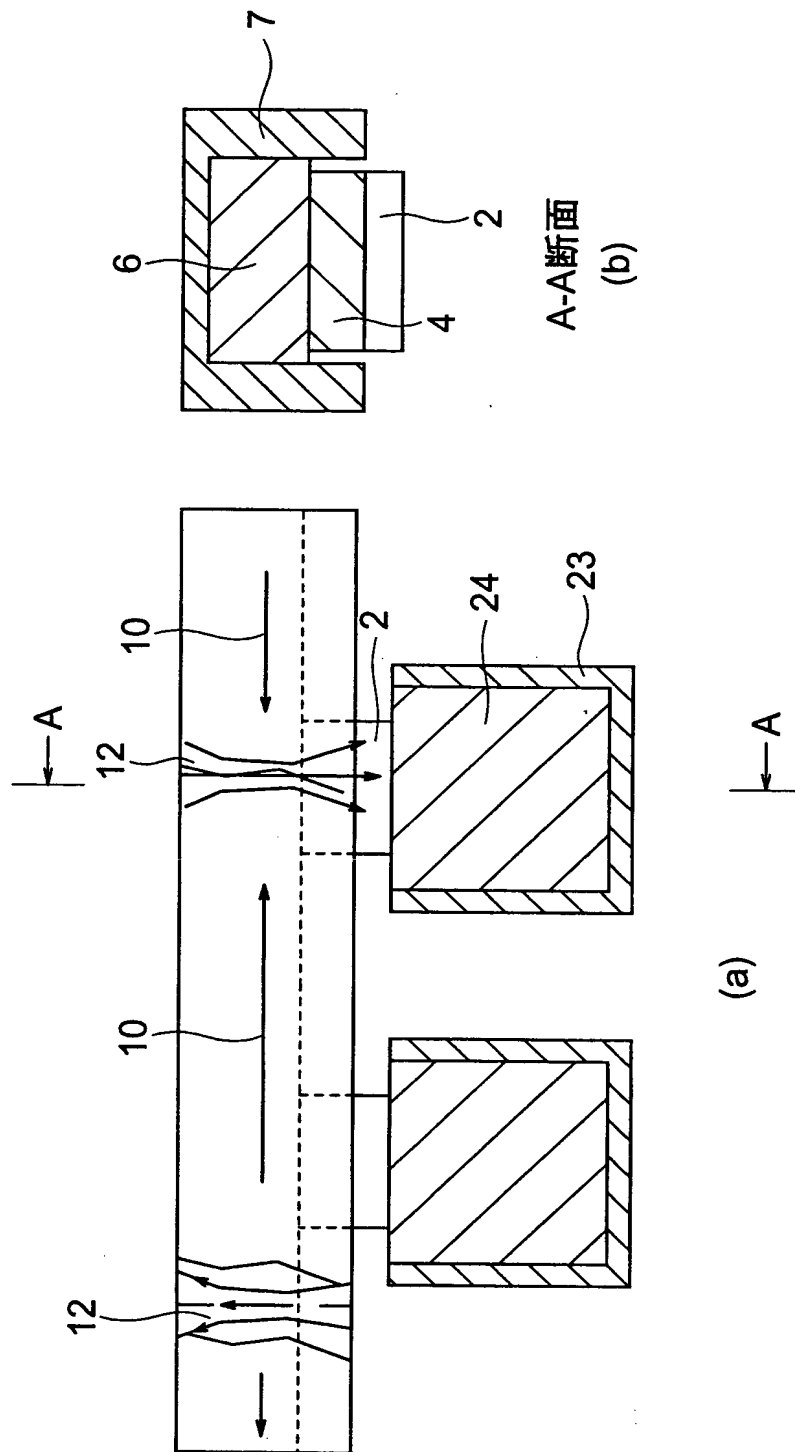
【図 1 7】



【図 1 8】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 消費電力が少なくかつ TMR 素子のスイッチング磁界およびオフセット磁界の値のバラツキを抑制することを可能にする。

【解決手段】 第 1 の配線 6 と、この第 1 の配線に交差する第 2 の配線 2 4 と、第 1 および第 2 の配線の交差領域に設けられ第 1 および第 2 の配線に電流を流すことにより生じる電流磁界に応じて磁化の向きが変わる記憶層を有する磁気抵抗効果素子 2 と、第 1 および第 2 の配線のうちの少なくとも一方の配線と磁氣的に結合される、非磁性層を介して積層された少なくとも 2 層の軟磁性層を有するヨーク 8、2 2 と、を備えている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日 2 0 0 1 年 7 月 2 日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目 1 番 1 号
氏 名 株式会社東芝